

TIMER A

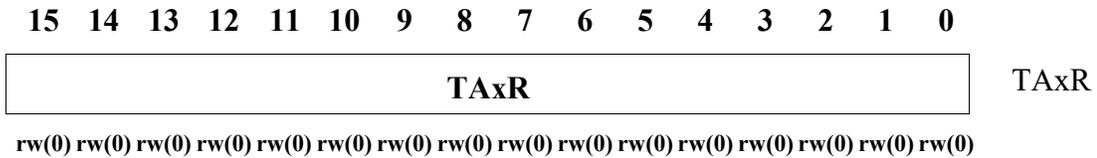
El MSP430FR6989 dispone de 4 temporizadores de tipo A: TA0 y TA1 con 3 registros de captura/comparación, TA2 con 2 registros y TA3 con 5 registros.

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

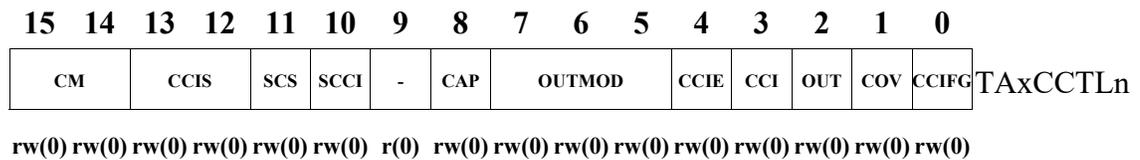
-	TASSEL	ID	MC	-	TACLRL	TAIE	TAIFG	TAxCTL
---	--------	----	----	---	--------	------	-------	--------

rw(0) rw(0)

Bit	Campo	Tipo	Reset	Descripción
15-10	Reservado	RW	0	Reservado
9-8	TASSEL	RW	0	(TimerA clock Source <i>SE</i> lect) Selección de fuente de reloj del Timer A: 00: TA_xCLK 01: ACLK 10: SMCLK 11: INCLK
7-6	ID	RW	0	(Input Divider) Divisor de entrada: 00: /1 01: /2 10: /4 11: /8
5-4	MC	RW	0	(Mode Control) Control de modo: 00: Stop. Temporizador parado 01: Up. Incrementar hasta TA _x CCR0 10: Continuous. Incrementar hasta FFFF 11: Up/down. Incrementar hasta TA _x CCR0 y después decrementar hasta 0
3	Reservado	RW	0	Reservado
2	TACLRL	RW	0	(Timer A <i>CL</i> eaR) Reset del Timer A. Activando este bit se resetea el contador, la lógica del divisor (aunque se mantiene la configuración) y el biestable de dirección de cuenta. Acto seguido este bit vuelve automáticamente a 0.
1	TAIE	RW	0	(Timer A Interrupt <i>En</i> able) Habilidad de interrupciones: 0: Deshabilitadas 1: Habilidad
0	TAIFG	RW	0	(Timer A Interrupt <i>Fla</i> G) Bandera de interrupción. Indica que el contador se ha desbordado y vuelto a 0: 0: No hay evento pendiente 1: Hay un evento pendiente

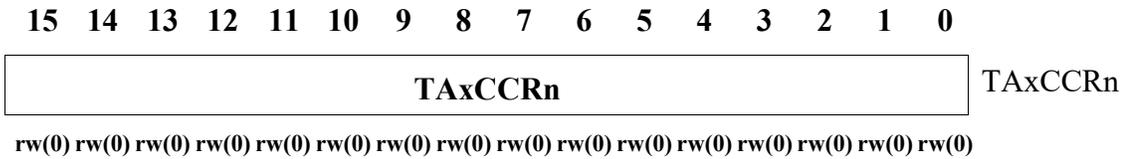


Bit	Campo	Tipo	Reset	Descripción
15-0	TAxR	RW	0x00	(Timer Ax Register) Contador del Timer Ax

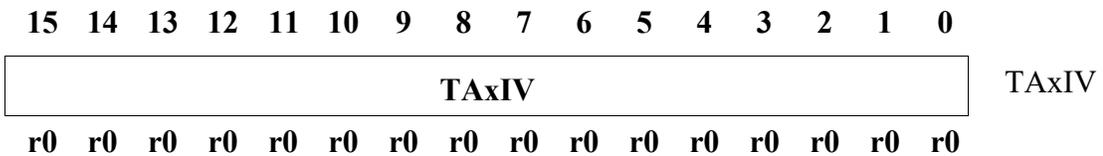


Bit	Campo	Tipo	Reset	Descripción
15-14	CM	RW	0	(Capture Mode) Modo de captura: 00: Desactivado 01: En flanco de subida 10: En flanco de bajada 11: En ambos flancos
13-12	CCIS	RW	0	(Capture/Compare Input Select) Selección de entrada captura/comparación: 00: CCIxA 01: CCIxB 10: GND 11: Vcc
11	SCS	RW	0	(Synchronice Capture Source) Sincronismo de la fuente de captura: 0: Captura asíncrona 1: Captura síncrona
10	SCCI	RW	0	(Synchroniced Capture/Compare Input) Entrada de captura/comparación sincronizada. En este bit se puede leer la entrada de captura/comparación almacenada en el latch con la señal EQUx
9	Reservado	R	0	Reservado
8	CAP	RW	0	(Capture Mode) Modo de captura: 0: Modo comparación 1: Modo captura

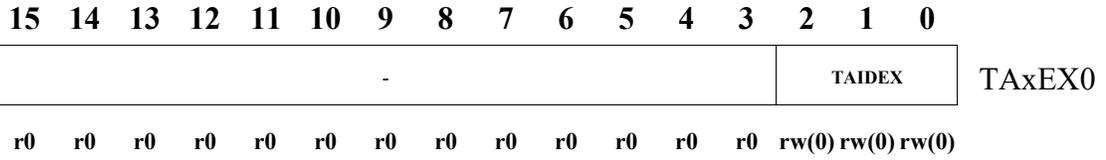
Bit	Campo	Tipo	Reset	Descripción
7-5	OUTMOD	RW	0	<p>(<i>OUTput MODE</i>) Modo de salida. Si el modo es 0 (Out), la salida es controlada por el OUT en tiempo real. En caso contrario, se actúa sobre la salida cuando se produce el evento de comparación. En los casos con dos acciones (2, 3, 6 y 7), la primera se produce con EQUx y la segunda con EQU0:</p> <p>000: Salida OUT 100: Toggle 001: Set 101: Reset 010: Toggle/Reset 110: Toggle/Set 011: Set/Reset 111: Reset/Set</p>
4	CCIE	RW	0	<p>(<i>Capture/Compare Interrupt Enable</i>) Habilitación de interrupción: 0: Deshabilitada 1: Habilitada</p>
3	CCI	R	0	<p>(<i>Capture/Compare Input</i>) Entrada de captura/comparación. La entrada seleccionada puede leerse aquí</p>
2	OUT	RW	0	<p>(<i>OUTput</i>) Salida. Este valor se copia instantaneamente a la salida cuando OUTMOD=000</p>
1	COV	RW	0	<p>(<i>Capture OVerflow</i>) Este bit se activa cuando se produce una segunda captura antes de que se haya leído la anterior</p>
0	CCIFG	RW	0	<p>(<i>Capture/Compare Interrupt FlaG</i>) Bandera de interrupción: 0: No hay evento pendiente 1: Hay un evento pendiente</p>



Bit	Campo	Tipo	Reset	Descripción
15-0	TAXCCRn	RW	0x00	<p>(Timer Ax Capture/Compare Register n) Registro n de captura/comparación.</p> <p>Modo comparación: almacena el valor con el que se va a comparar el TAXR. Cuando son iguales, se activa la señal EQU_n</p> <p>Modo captura: cuando se produce el flanco seleccionado en la señal de entrada seleccionada, el valor instantáneo del TAXR es capturado en este registro.</p>



Bit	Campo	Tipo	Reset	Descripción
15-0	TAXIV	R	0	<p>(Timer Ax Interrupt Vector) Vector de interrupción de TAX. Cuando se lee este vector, automáticamente se borra el flag correspondiente a la interrupción asociada. Acto seguido, se actualiza para reflejar la siguiente causa de interrupción más prioritaria si la hubiera:</p> <p>0: No hay interrupción pendiente</p> <p>2: CCR1 (más prioritaria)</p> <p>4: CCR2</p> <p>6: CCR3</p> <p>8: CCR4</p> <p>14: TAX overflow (menos prioritaria)</p>



Bit	Campo	Tipo	Reset	Descripción
15-3	Reservado	R	0	Reservado
2-0	TAIDEX	RW	0	(Timer A Input Divider EXpansion) Expansión del divisor de entrada. Estos bits, junto con los de DIV se usan para dividir el reloj de entrada al temporizador. El valor del divisor es TAIDEX+1