
Circuitos Electrónicos Digitales

Tema III

Circuitos Combinacionales

Universidad de Sevilla

Índice

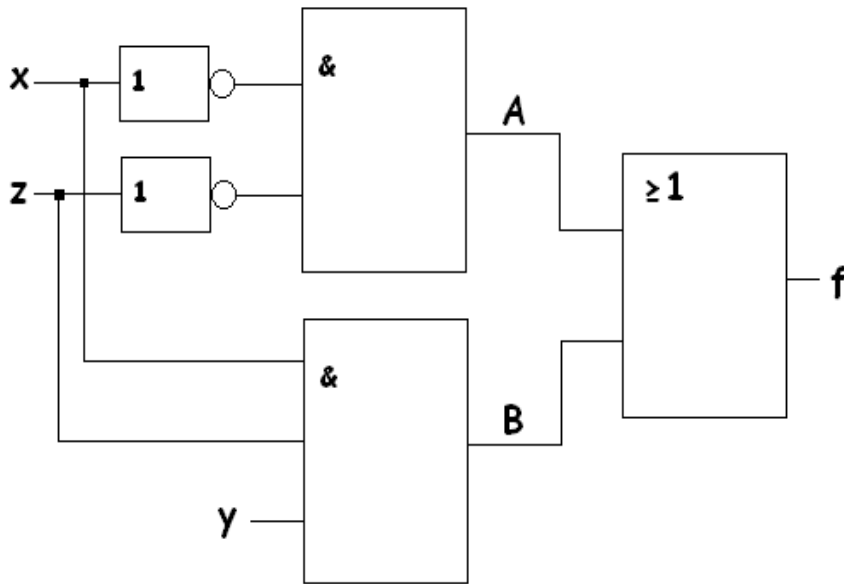
1. Análisis de circuitos combinacionales
2. Diseño de circuitos combinacionales

Análisis de Circuitos Combinacionales

- Análisis lógico: Dado un circuito, analizarlo consiste en encontrar:
 - la expresión algebraica que implementa,
 - su tabla de verdad y/o el k-mapa,
 - explicación verbal de su función.
- Procedimiento:
 - Se obtiene la función lógica realizada por las puertas cuyas entradas corresponden a las entradas primarias del circuito.
 - Se obtiene la función lógica realizada en puertas con entradas conocidas (entradas primarias o salidas de puertas ya calculadas).
 - Se repite el paso anterior hasta obtener la función de salida
 - Se simplifica la expresión obtenida y/o se traduce a un mapa o tabla

Análisis de Circuitos Combinacionales

Circuito:



Expresión:

$$f(x,y,z) = A + B$$

$$A = \bar{x} \cdot \bar{z}$$

$$B = x \cdot y \cdot z$$

$$f(x,y,z) = x \cdot y \cdot z + \bar{x} \cdot \bar{z}$$

Tabla:

xyz	f(x,y,z)
000	1
001	0
010	1
011	0
100	0
101	0
110	0
111	1

$$f(x,y,z) = 1 \quad \text{si} \quad \begin{cases} xyz=1 \quad \text{si} \quad x=y=z=1 & (111) \\ \text{ó} \\ \bar{x} \cdot \bar{z}=1 \quad \text{si} \quad x=z=0 & (0-0) \end{cases}$$

Análisis de Circuitos Combinacionales

- Análisis temporal:
 - Representa la evolución en el tiempo de las entradas y salidas del circuito. A esta representación temporal se la denomina **CRONOGRAMA**.
- Dicha representación puede ser:
 - Suponiendo que las puertas no tienen **retrasos**.
 - Teniendo en cuenta los retrasos propios de las puertas lógicas.
- Azares:
 - Teniendo en cuenta los retrasos de la puertas podemos encontrarnos con la aparición de pequeños pulsos transitorios que hacen que la salida difiera de la esperada, es decir, de la obtenida de forma teórica sin considerar los retrasos.

Análisis de Circuitos Combinacionales

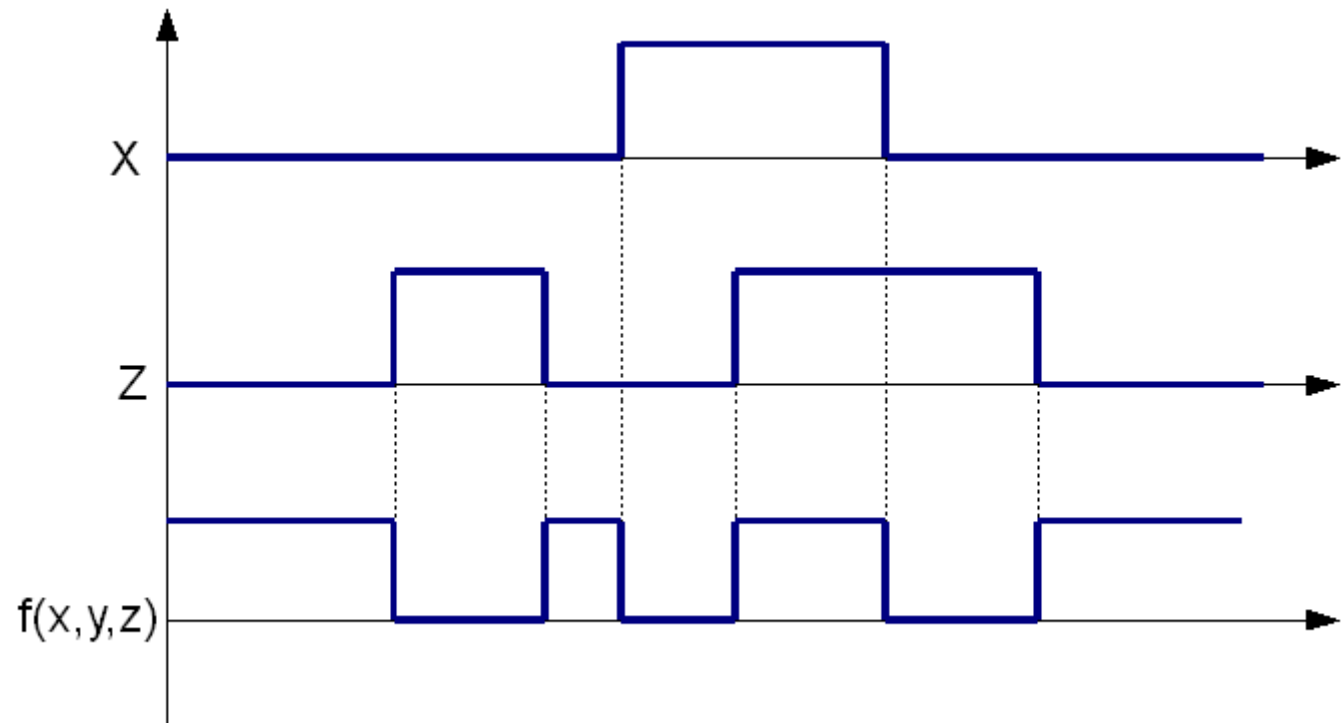
Ejemplo de análisis temporal

Tabla:

xyz	f(x,y,z)
000	1
001	0
010	1
011	0
100	0
101	0
110	0
111	1

Cronograma (con $y=1$)

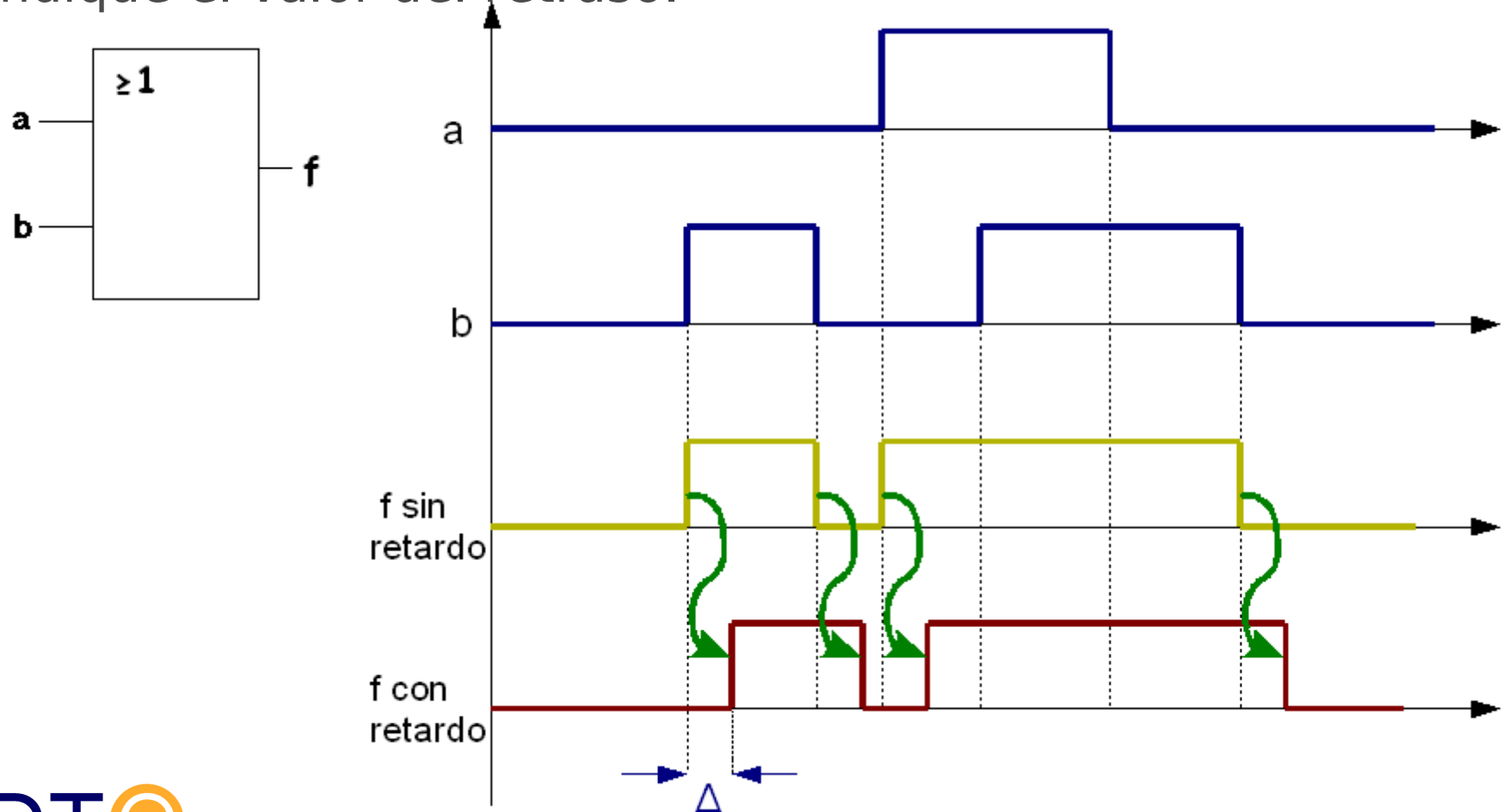
(sin considerar retrasos):



Análisis de Circuitos Combinacionales

Ejemplo de análisis temporal

Para dibujar el cronograma considerando los retrasos, es necesario desplazar la salida de las puertas tanto como indique el valor del retraso.

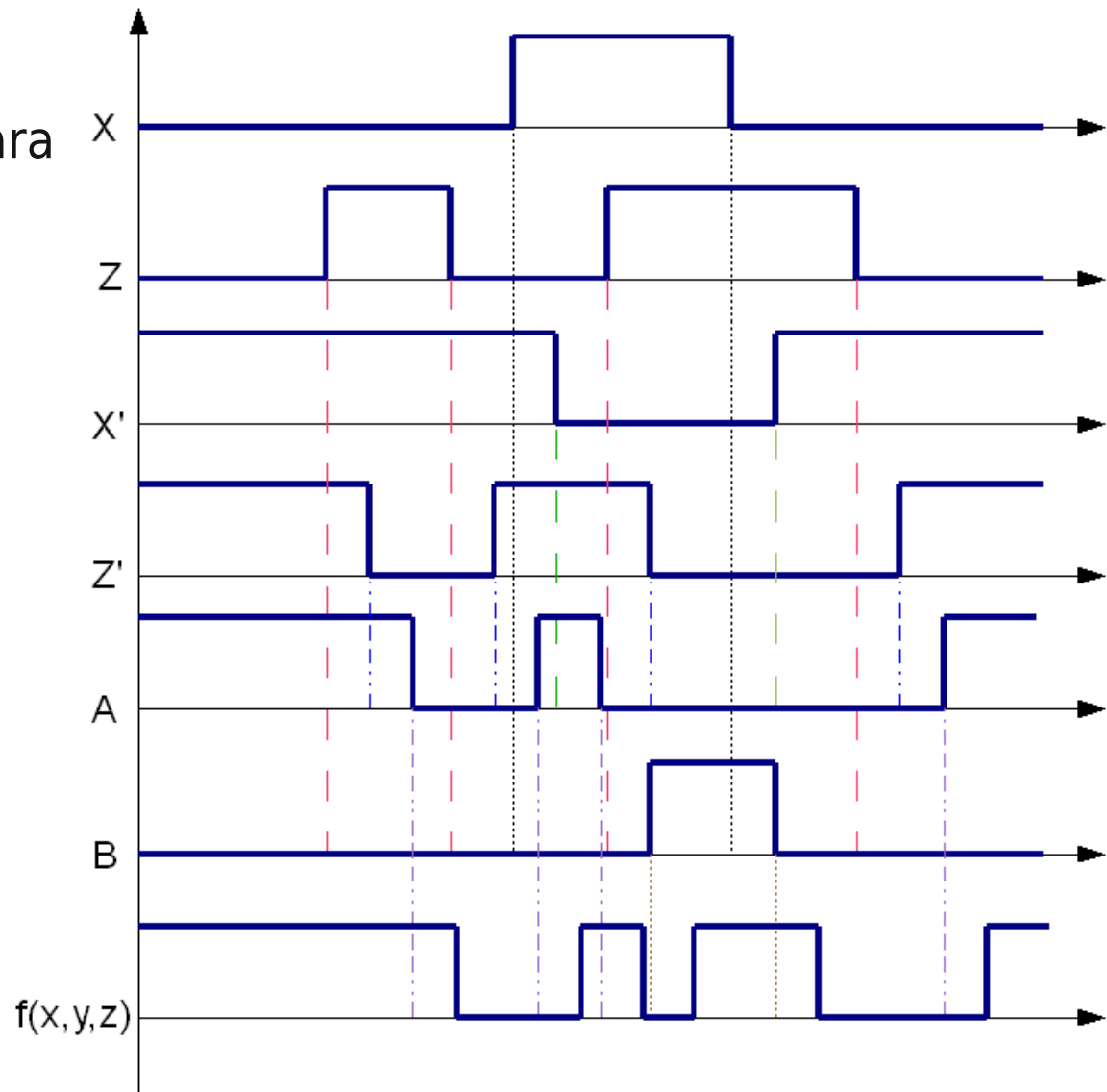
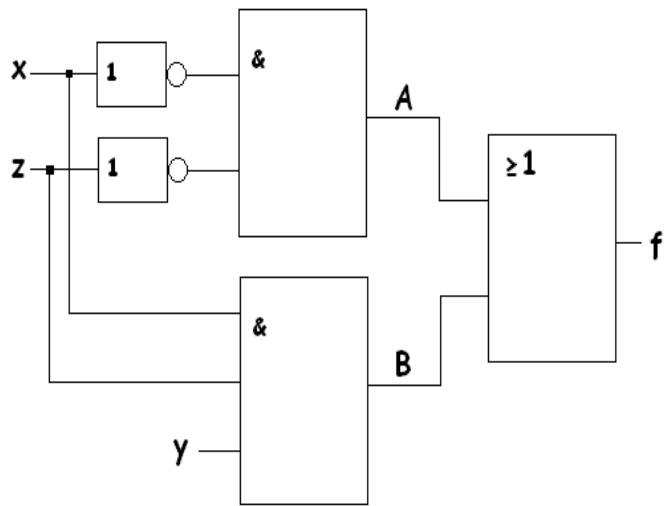


Análisis de Circuitos Combinacionales

Ejemplo de análisis temporal

Cronograma (con $y=1$)

(con retrasos igual para todas las puertas)



Diseño de Circuitos Combinacionales

- El diseño (o síntesis) de un circuito es el proceso inverso al análisis: partiendo de una descripción inicial de la tarea que realiza el circuito, habrá de obtener:
 - la tabla de verdad,
 - el K-mapa,
 - la ecuación booleana,
 - el circuito.

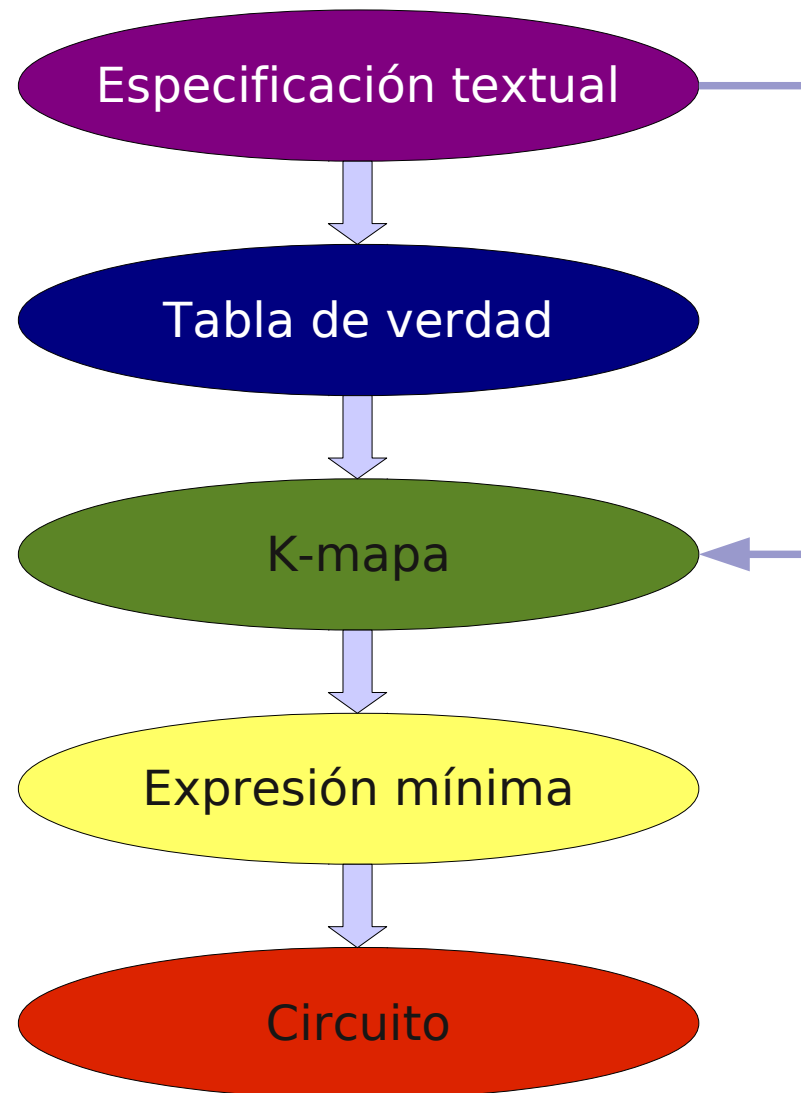
Diseño de Circuitos Combinacionales

Objetivos:

- El circuito debe ser óptimo, para ello se ha optado por considerar dos criterios de diseño:
 - Reducir el número de puertas
 - Reducir el número de conexiones
- Restricciones:
 - Estructura en dos niveles (tres para simple raíl)
 - Uso de puertas AND, OR, NAND y NOR
 - No considerar fan-in ni fan-out como restricciones.

Diseño de Circuitos Combinacionales

Pasos del proceso



Diseño de Circuitos Combinacionales

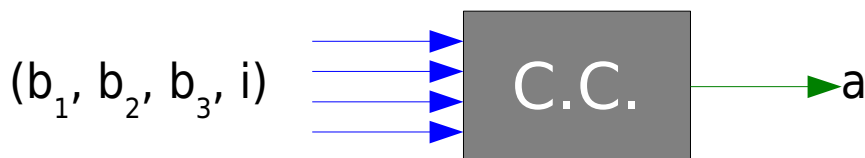
Pasos del proceso

- Paso 1: Descripción textual → Tabla de verdad
 - Determinar variables de entrada y especificar sus valores (0 y 1).
 - Igual, para las variables de salida.
 - Obtener la tabla de verdad.
- Paso 2: Obtener el K-mapa
 - A partir de la tabla de verdad anterior o de la especificación establecida, se obtiene el K-mapa de la función a implementar.

Diseño de Circuitos Combinacionales

Ejemplo:

Se desea diseñar un circuito combinatorial que recibe información del estado de tres bombillas (encendida o apagada) y del estado de un único interruptor (on - off). El circuito debe generar una alarma que se active cuando alguna de las bombillas no esté encendida cuando el interruptor está on, o cuando alguna bombilla esté encendida y el interruptor esté off.



Entradas: tres bombillas, interruptor Salida: Alarma

$b_i = \begin{cases} 0 & \text{apagada} \\ 1 & \text{encendida} \end{cases}$
 $i = \begin{cases} 0 & \text{off} \\ 1 & \text{on} \end{cases}$
 $a = \begin{cases} 0 & \text{inactiva} \\ 1 & \text{activa} \end{cases}$

i	b_1	b_2	b_3	a	i	b_1	b_2	b_3	a
0	0	0	0	0	1	0	0	0	1
0	0	0	1	1	1	0	0	1	1
0	0	1	0	1	1	0	1	0	1
0	0	1	1	1	1	0	1	1	1
0	1	0	0	1	1	1	0	0	1
0	1	0	1	1	1	1	0	1	1
0	1	1	0	1	1	1	1	0	1
0	1	1	1	1	1	1	1	1	0

Diseño de Circuitos Combinacionales

Diseño con K-mapa

- Paso 3: Obtener la expresión mínima
 - Para obtener la expresión mínima de una función que nos permita implementar un diseño en dos niveles utilizaremos el k-mapa.
 - Nos centramos en obtener una expresión mínima como **suma de productos. (1's lógicos).**
 - De manera análoga se consigue una expresión como **producto de sumas, considerando los 0's lógicos.**
 - Un 1 en el K-mapa representa un término producto (mintérmino).
 - La idea es ir agrupando 1's para conseguir menos términos productos y con menos variables. Para ello, nos basamos en el concepto de implicante (implicada).

Diseño de Circuitos Combinacionales

Implicante

- Es un 1 o grupo de 1's representado en el K-mapa. Los grupos deben estar formado por una potencia de 2 de 1's, y estos deben ser vecinos.
- Los grupos se van formando a partir de grupos de tamaño inmediatamente inferior. Por ejemplo, agrupamos dos 1's vecinos para formar un grupo de dos 1's. Luego, este grupo podemos agruparlo con otro vecino formado por otros dos 1's, para obtener un grupo de 4.
- El número de 1's del grupo determina el orden del implicante.
- El orden del implicante está relacionado con el número de variables que posee la expresión del término producto que lo representa.

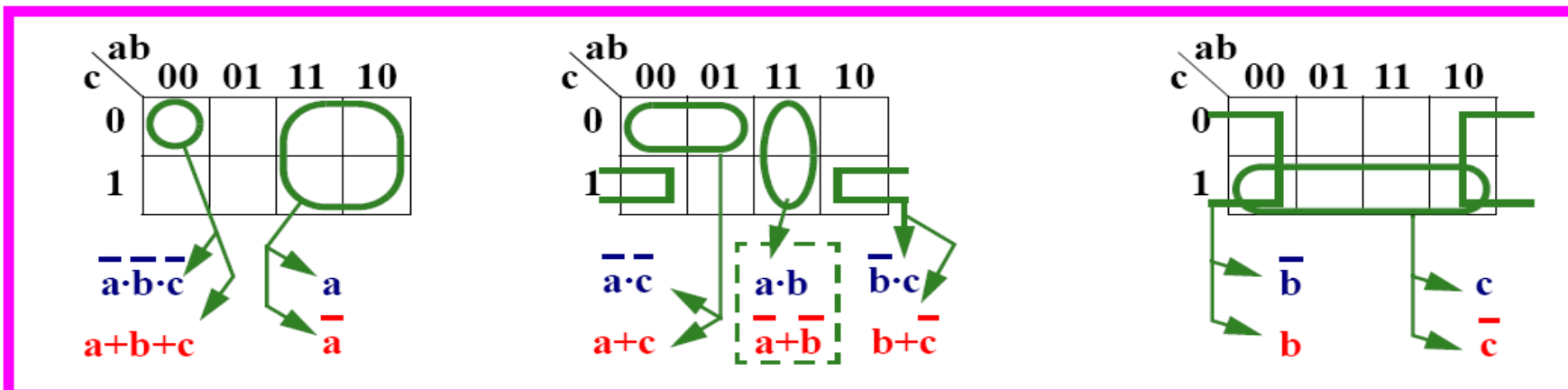
Diseño de Circuitos Combinacionales

Diseño con K-mapa: Implicante

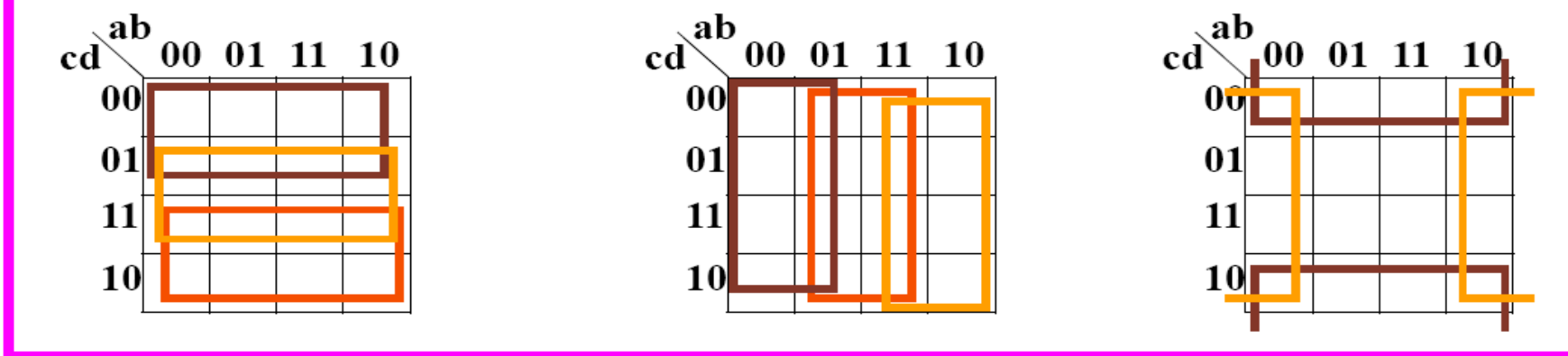
Orden	Nº de 1's	Nº variables	Ejemplo 5 var.	
			Implicante	Cuantas
0	$1=2^0$	n	ab'cd'e	32
1	$2=2^1$	n - 1	ab'd'e	80
2	$4=2^2$	n - 2	ab'e	80
3	$8=2^3$	n - 3	b'e	40
4	$16=2^4$	n - 4	b'	10
5	$32=2^5$	n - 5	1	1
k	$m=2^k$	n - k		

Diseño de Circuitos Combinacionales

Agrupaciones posibles

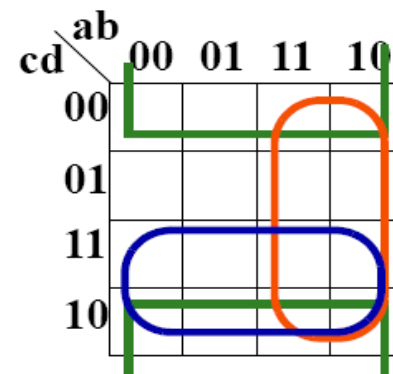
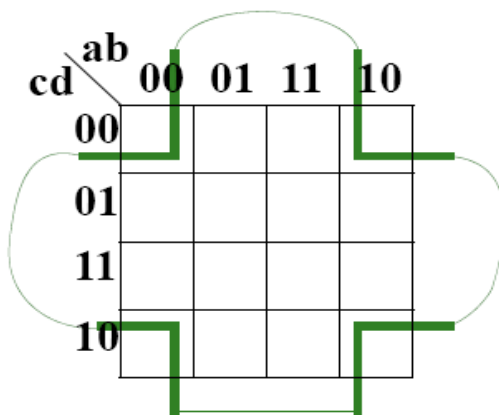
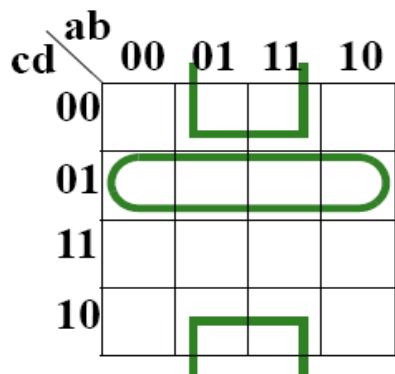
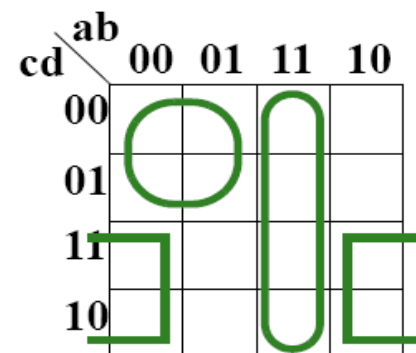
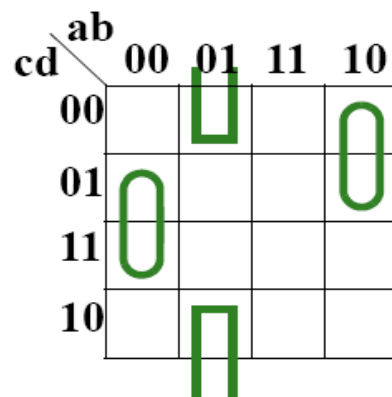
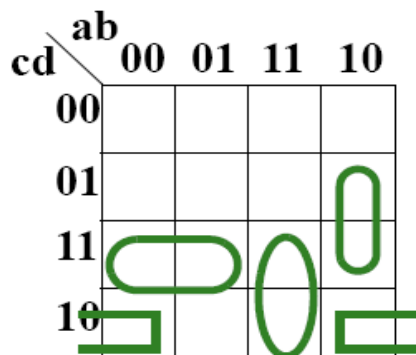


Los mapas de 4 variables contienen varios mapas de 3



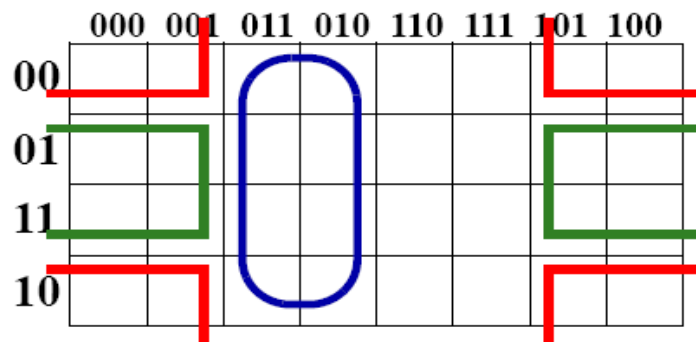
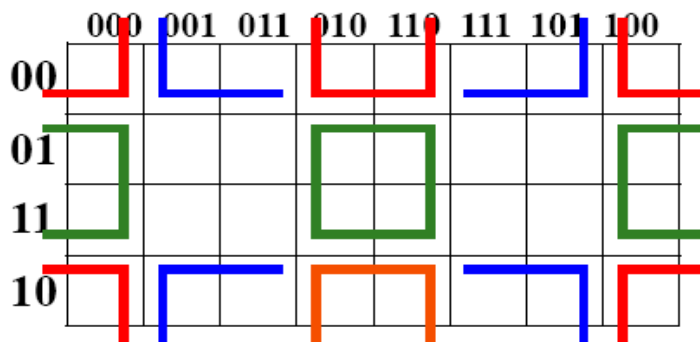
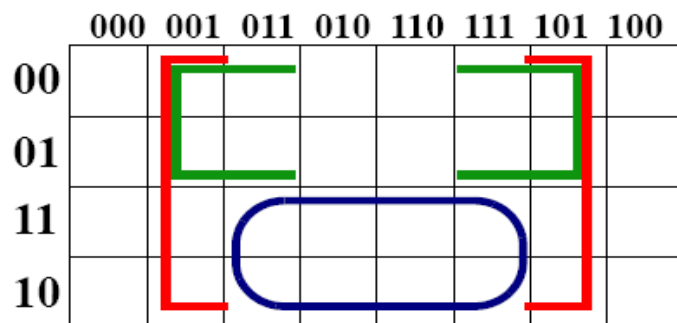
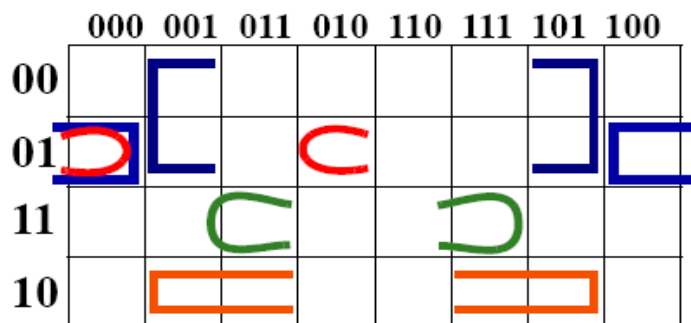
Diseño de Circuitos Combinacionales

Agrupaciones posibles



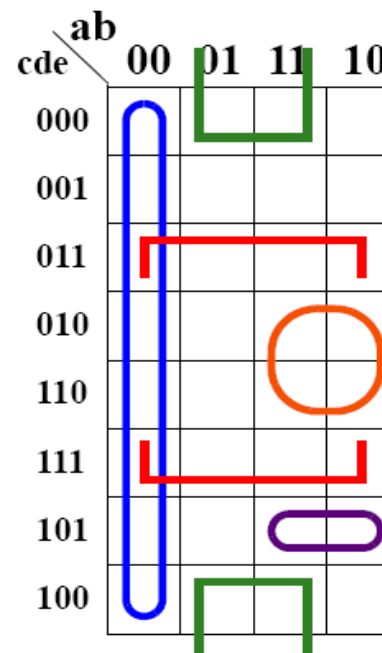
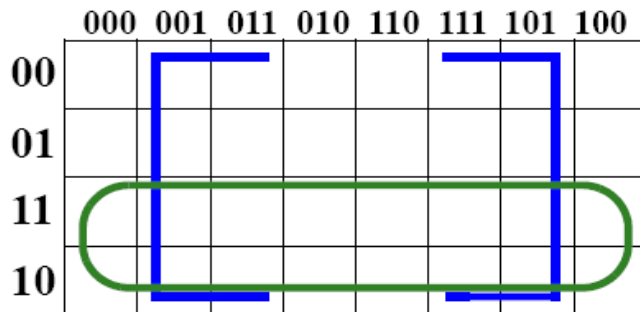
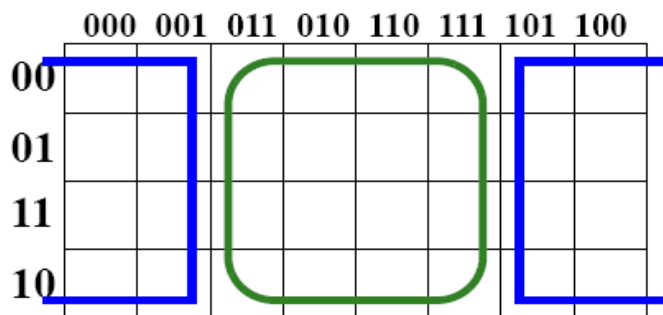
Diseño de Circuitos Combinacionales

Agrupaciones posibles



Diseño de Circuitos Combinacionales

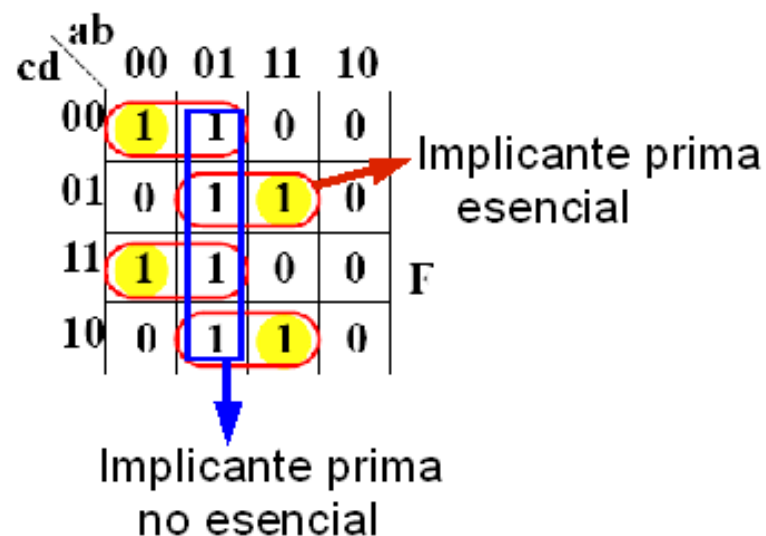
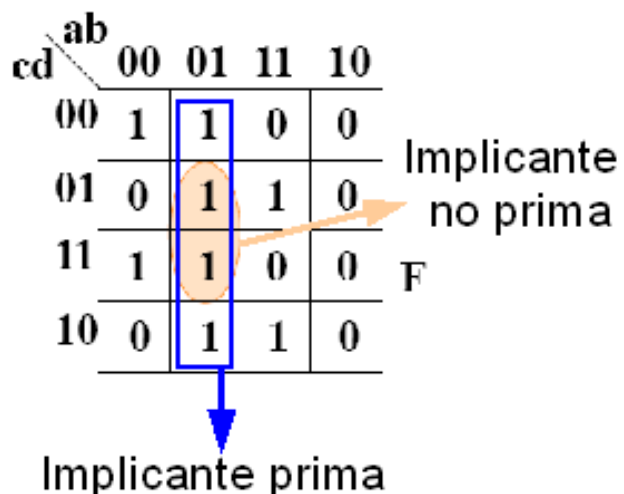
Agrupaciones posibles



Diseño de Circuitos Combinacionales

Diseño con K-Mapa: Definiciones

- Una Implicante se dice que es **prima** si no está cubierta por ninguna otra implicante de la función.
- Una implicante prima se dice que es **esencial** si cubre algún mintermino no incluido en ninguna otra implicante prima.



Diseño de Circuitos Combinacionales

Diseño con K-mapa: Expresión mínima

- La expresión mínima se obtiene sumando un conjunto de implicantes primas, que:
- Contenga el menor número de implicantes primas que cubran completamente la función.
- Contengan el menor número de literales.
- Todas las implicantes primas de la función están en dicha expresión.
- El menor número de literales se obtiene eligiendo las implicantes de mayor orden.

Diseño de Circuitos Combinacionales

Diseño con k-mapa: Funciones incompletamente especificadas

- Las casillas con inespecificación se usan como mejor nos convenga:
- Se pueden incluir para formar grupos mayores.
- No es necesario cubrirlas todas.

Ejemplo: $F = \Sigma (1, 13, 14, 15) + d(5, 8, 12)$

cd \ ab	00	01	11	10
00	0	0	-	-
01	1	-	1	0
11	0	0	1	0
10	0	0	1	0

$$F_{sp} = a \cdot b + \bar{a} \cdot \bar{c} \cdot d$$

\Rightarrow 5 y 12 se hacen 1

$$F_{ps} = (a + \bar{c}) \cdot (c + d) \cdot (\bar{a} + b)$$

\Rightarrow 8 y 12 se hacen 0