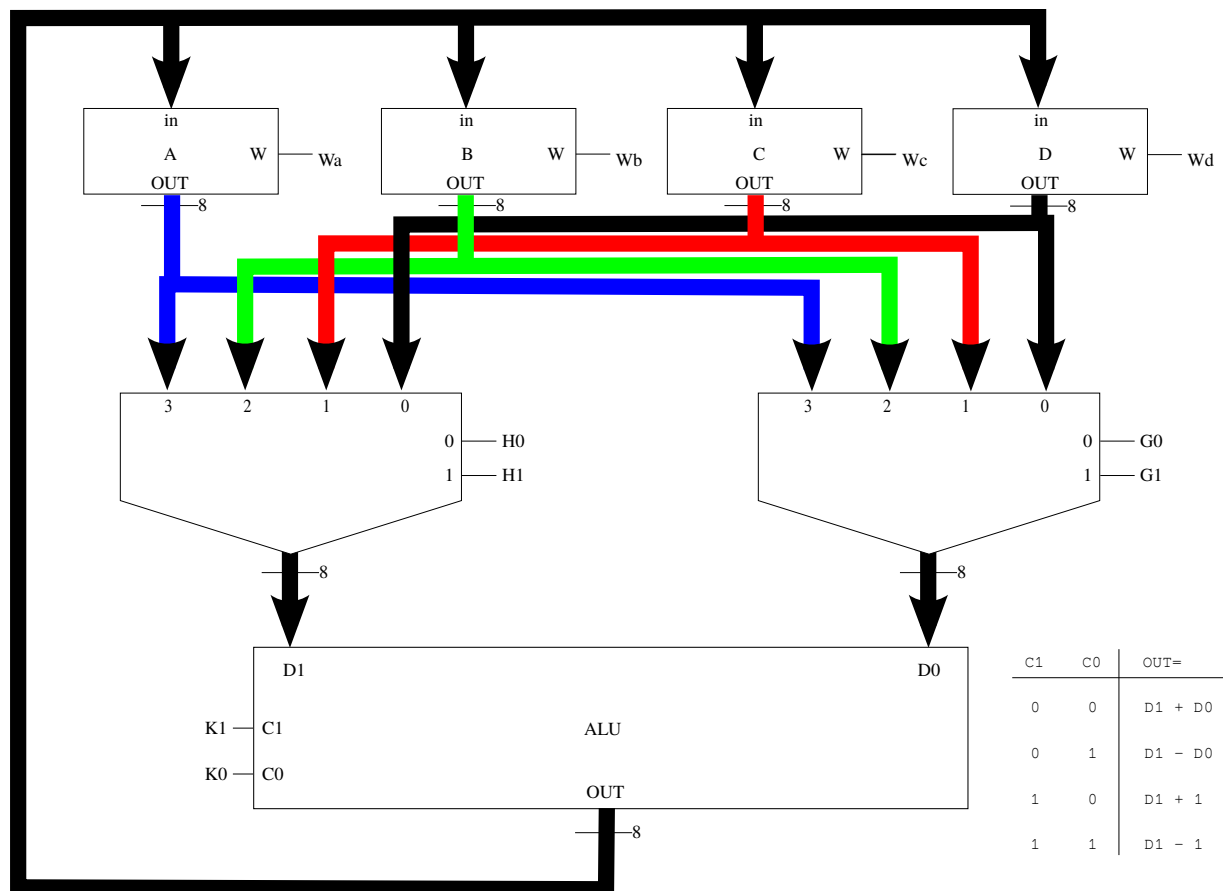


Nombre (en mayúsculas):

Apellidos (en mayúsculas):

Problema 1



La figura muestra la unidad de procesamiento de un sistema digital que usa notación en complemento a 2 de 8 bits. Como puede verse, esta unidad incluye:

- 4 registros con salida incondicional, A, B, C y D dotados de operación de inhibición y carga en paralelo (controlada por la señal W)
- una ALU combinacional cuya descripción a nivel RT se muestra en la parte inferior derecha de la figura

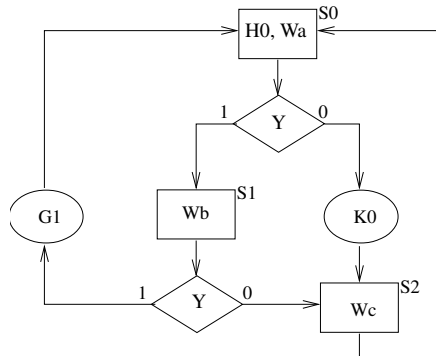
Se pide lo siguiente:

- Suponga que el sistema tiene las señales de inicio y fin habituales además de dos señales de entrada I1 e I0 que indican la macrooperación a realizar según la siguiente tabla:

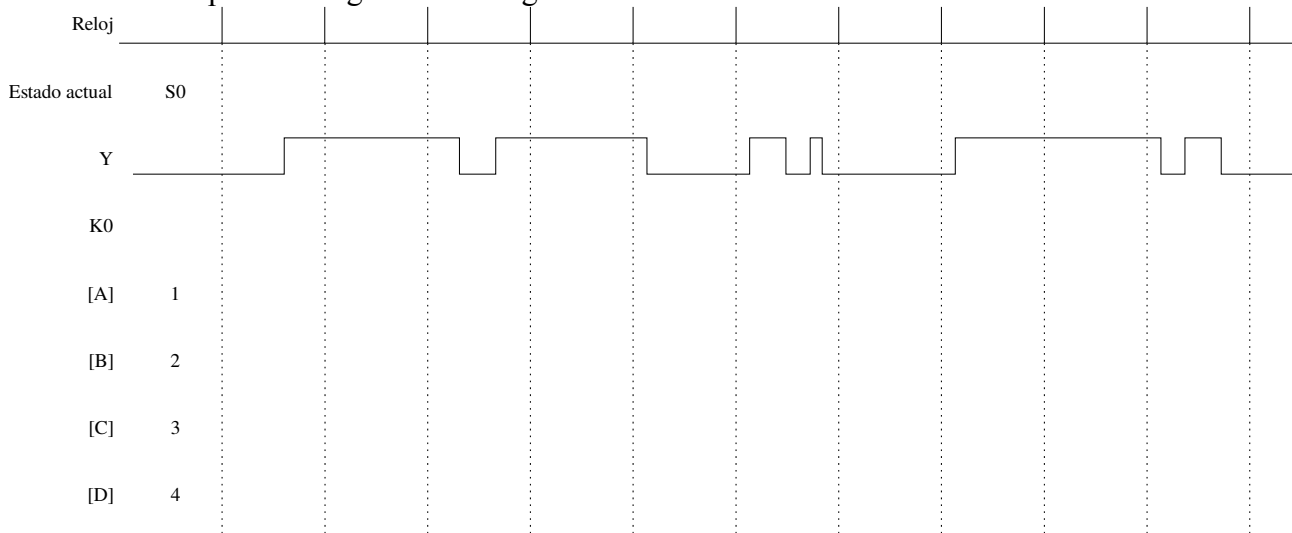
I1	I0	MACROOPERACIÓN
0	0	$A \leftarrow B$
0	1	$A \leftarrow A+B$
1	0	$A \leftarrow A+B+C$
1	1	$A \leftarrow A+B+C+D$

- 1.1 (3 puntos) Dibuje la carta ASM de la unidad de procesamiento de datos procurando minimizar el número de estados. Tenga en cuenta que las señales de selección de macrooperación no cambian desde que se activa la señal de inicio hasta que se activa la señal de fin.
- 1.2 (1 punto) Dibuje la carta ASM de la unidad de control correspondiente.

- 2 Suponga que el sistema tiene una única entrada de control denominada Y y que la carta ASM de la unidad de control es la que se muestra en la figura:



- 2.1 (1 punto) Dibuje la carta ASM de la unidad de datos correspondiente.
- 2.2 (3 puntos) Suponiendo que inicialmente el estado de la unidad de control es S0 y que inicialmente el contenido de los registros A, B, C y D es 1, 2, 3 y 4 respectivamente, complete el siguiente cronograma:



Problema 2 (2 puntos)

Para un sistema basado en un procesador con un mapa de 64Kx8 se desea que las primeras 32K direcciones estén ocupadas por RAM y las 16K últimas por ROM, quedando el resto libres. El procesador dispone de la una señal de salida R/\overline{W} , que indica si quiere leer o escribir, así como una señal MEM que activa únicamente cuando accede a memoria. Se pide diseñar el sistema de memoria empleando estos componentes:

- RAMs de 32Kx4 con dos señales de control llamadas R y W . Su descripción a nivel RT es la siguiente:

R	W	RAM[A]←	D=
0	0	RAM[A]	H.I.
1	-	RAM[A]	RAM[A]
0	1	D	-

- ROMs de 8Kx8 con una señal de *output enable* activa en alto.

Indique el **interconexión completo** de las memorias con la CPU y recuerde que las ROM solo deben activarse en operaciones de lectura.