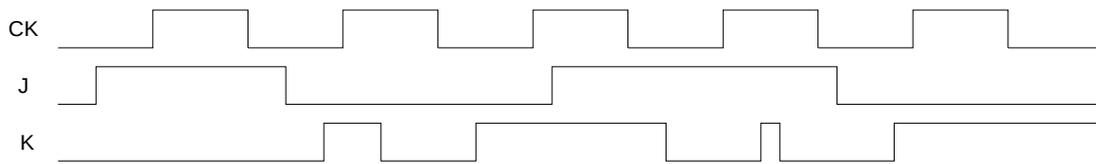


Tarea 8. Circuitos secuenciales síncronos

Ejercicio 1. Para la secuencia de señales de la figura, dibuja la forma de onda de salida de:

- Un biestable JK disparado por flanco negativo.
- Un biestable JK disparado por flanco positivo.



Ejercicio 2. Un circuito secuencial posee una entrada 'x' y una salida 'z' de forma que z cambia a 1 cuando se detecta la secuencia de entrada 0-0-1, y cambia a 0 cuando se detecta la secuencia 1-0-0. En cualquier otro caso, se conserva el valor actual de z.

- Dibuje el diagrama de estados de una MEF tipo Moore que resuelva el problema en el caso de que no se permita el solapamiento de las secuencia.
- Implemente la MEF del apartado anterior empleando biestables D y puertas lógicas.
- Dibuje el diagrama de estados de una MEF tipo Moore que resuelva el problema en el caso de que sí se permita el solapamiento de las secuencia.
- Determine si en el diagrama anterior hay estados iniciales que sólo se recorren una sola vez. Defina un estado inicial adecuado que permita eliminar estos estados iniciales.
- Implemente la MEF del apartado anterior mediante biestables JK y multiplexores.
- (Voluntario) Realice una descripción en Verilog de la MEF del apartado a) y escriba un banco de pruebas para su simulación. Compruebe que la operación es correcta. Use como modelo el ejemplo de curso-verilog.v.¹

Ejercicio 3. Por una línea de comunicación de un bit se envían, bit a bit, grupos de 4 bits que representan cifras BCD. Los bits se envían ordenados comenzando por el menos significativo.

- Dibuje el diagrama de estados de una MEF tipo Mealy con una salida 'z' que detecte cuando el número enviado es 5. 'z' debe activarse (1) durante un ciclo de reloj en caso de detección.
- Diseñe el circuito secuencial síncrono correspondiente empleando biestables JK y puertas lógicas.
- (Voluntario) Realice una descripción en Verilog de la MEF y escriba un banco de pruebas para su simulación. Compruebe que la operación es correcta. Use como modelo el ejemplo de curso-verilog.v.¹

Ejercicio 4. Un sistema de control de una barrera de entrada a un aparcamiento dispone de un mando único de apertura y cierre "a" activo en nivel bajo. El sistema actúa sobre una salida "z" que activa el mecanismo de cierre de la barrera (0-cerrado, 1-abierto). El sistema también llega una señal de reloj con un periodo de 1s. El sistema debe operar como sigue:

- Partiendo de la situación con la barrera cerrada, la barrera se abre al accionar el mando "a" durante uno o dos ciclos de reloj (pulsación corta).
 - Cuando la barrera está abierta, se cierra accionando el mando "a" durante tres ciclos de reloj o más.
- Diseñe el sistema como MEF del tipo que prefiera (Mealy o Moore). Implemente el sistema con biestables y puertas lógicas.
 - Se añade al sistema un sensor de obstáculos "b" activo en nivel bajo que detecta cuando hay

¹ https://gitlab.com/jjchico/curso-verilog.v/tree/master/verilog/06_sequential/06-4_sequences

algún objeto que impide el cierre de la barrera con seguridad. Con el sensor, la operación es como sigue:

- En caso de que se detecte un obstáculo en el momento de cerrar la barrera, ésta permanecerá abierta hasta que se retire el obstáculo y se cerrará a continuación.
- Una vez que la barrera esté cerrada, la presencia de un obstáculo no hace que la barrera se abra.

Diseñe el sistema modificado con biestables y multiplexores.

c) (Voluntario) Realice una descripción en Verilog de la MEF del apartado b) anterior y escriba un banco de pruebas para su simulación. Compruebe que la operación es correcta con un simulador de Verilog.

Ejercicio 5. Analice el circuito de la figura.

- a) Obtenga el diagrama de estados de la MEF que implementa.
- b) Obtenga la forma de onda de la salida 'z' para las señales de entrada indicadas.

