

5.3. Unidad aritmético-lógica

Una unidad aritmético-lógica o **ALU** (*Arithmetic-Logic Unit*) de n bits es un dispositivo combinacional que acepta dos palabras de entrada A y B , de n bits cada una y genera un resultado de n bits (además de cierta información como acarreo, desbordamiento, etc.) procedente de la realización de alguna operación aritmética o lógica identificada por unas señales de selección.

La figura 5.17 muestra dos posibles símbolos que representan a una ALU de 4 bits capaz de realizar ocho operaciones aritmético-lógicas. La entrada S_2 distingue entre operaciones lógicas y aritméticas, mientras que las entradas S_1, S_0 eligen, dentro de cada tipo, la función a realizar. A y B son las entradas y F la salida. C_{in} y C_{out} son los acarreos de entrada y salida para las operaciones aritméticas.

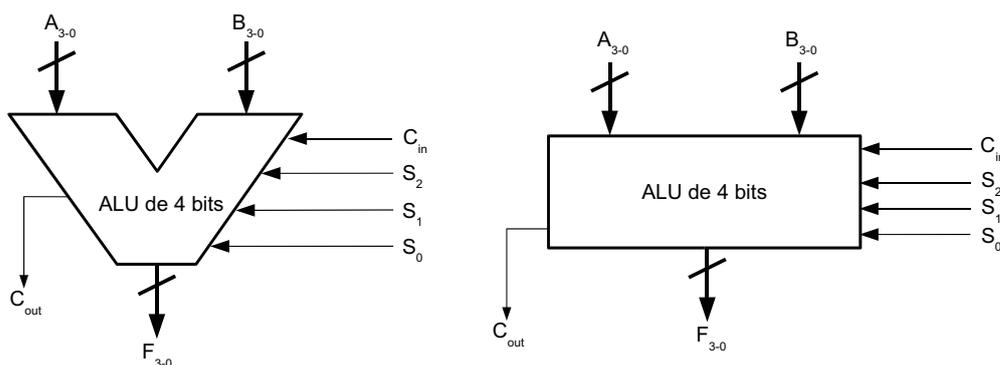


Figura 5.17.

En esta sección se pretende diseñar una ALU, además de mostrar una ALU comercial.

El diseño de una ALU se realiza en tres etapas: diseño del circuito aritmético, diseño del circuito lógico y unión de las partes anteriores.

5.3.1. Diseño del circuito aritmético

El componente básico del circuito aritmético de una ALU de n bits es un sumador paralelo de n bits. A modo de ejemplo realizaremos el diseño para $n = 4$ bits. Si se controlan las entradas de dicho sumador, que llamaremos X

e Y , su salida S puede generar distintas funciones aritméticas:

- (a) Si las entradas del sumador son A y $00\dots 0$, figura 5.18, se pueden obtener funciones de **transferencia**, $F = A$ si $C_{in} = 0$, o de **incremento**, $F = A + 1$ si $C_{in} = 1$.

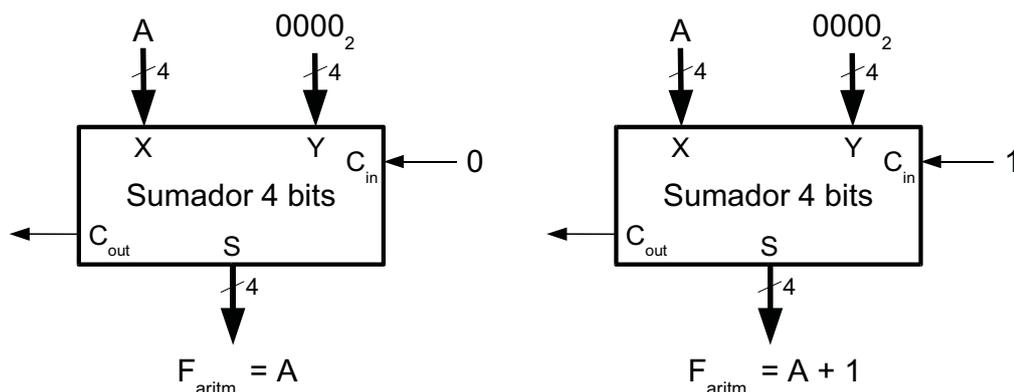


Figura 5.18.

- (b) Si las entradas del sumador son A y B (los números de entrada de la ALU), figura 5.19, se pueden obtener funciones de **suma**: $F = A + B$ si $C_{in} = 0$, o $F = A + B + 1$ si $C_{in} = 1$.

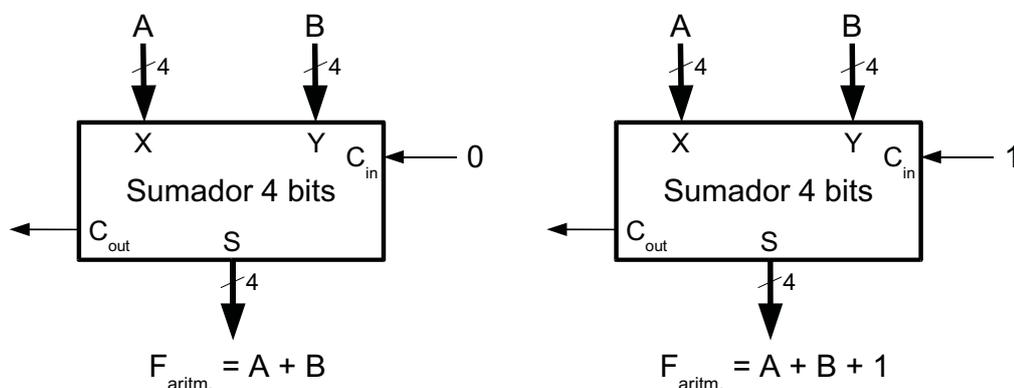


Figura 5.19.

- (c) Si las entradas del sumador son A y \bar{B} (el complemento de los bits del número B , es decir, $Ca1(B)$), figura 5.20, se pueden obtener operaciones de **resta en Ca1**, $F = A + \bar{B} = A + Ca1(B)$ si $C_{in} = 0$, o de **resta en Ca2**, $F = A + \bar{B} + 1 = A + Ca2(B)$ si $C_{in} = 1$.
- (d) Si las entradas del sumador son A y $11\dots 1$, figura 5.21, se pueden obtener funciones de **transferencia**, $F = A$ si $C_{in} = 1$, o de **decremento**,

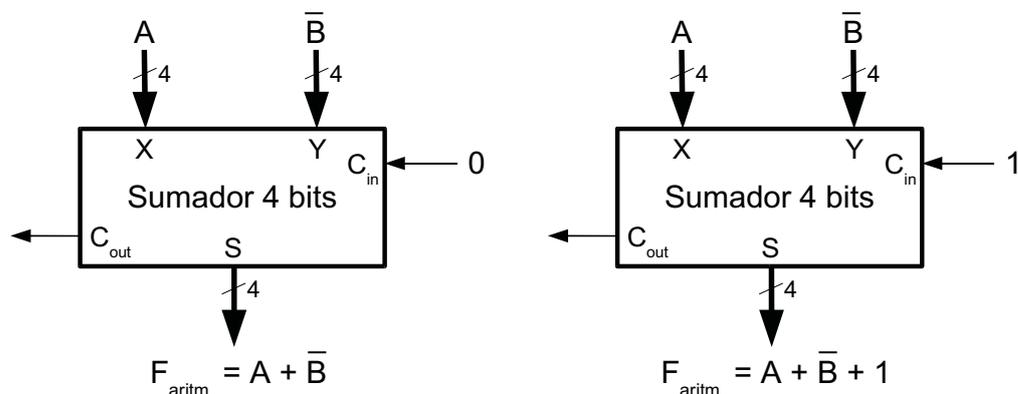


Figura 5.20.

$$F = A - 1 \text{ si } C_{in} = 0.$$

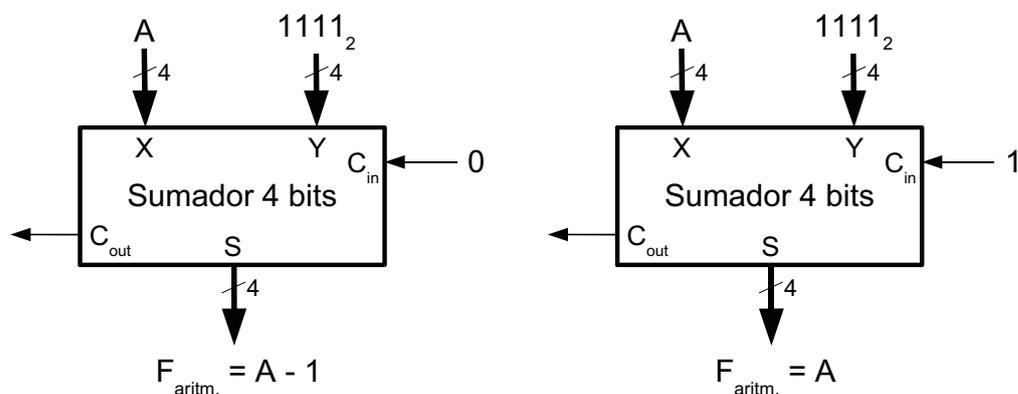


Figura 5.21.

De lo expuesto anteriormente se observa que la entrada X del sumador completo siempre se conecta con la entrada del número A de la ALU, mientras que la entrada Y del sumador, de forma alternativa, se conecta a la entrada B , a \bar{B} , a $00\dots 0$ y a $11\dots 1$. Esto da un total de cuatro combinaciones aritméticas posibles (recordamos que sólo se dispone de dos líneas de selección de operación aritmética) aunque si consideramos el acarreo de entrada, el número de operaciones aritméticas posibles es mayor.

Se debe diseñar un circuito combinacional que, en función de S_1 y S_0 , permita seleccionar qué llega a la entrada Y del sumador completo y, con ello, determine qué operación aritmética realizará éste. La tabla de verdad de la figura 5.22 muestra el comportamiento de Y_i en función de B_i , S_1 y S_0 .

S_1	S_0	Y_i
0	0	0
0	1	B_i
1	0	\bar{B}_i
1	1	1

Figura 5.22.

La ecuación de Y_i será:

$$Y_i = B_i \bar{S}_1 S_0 + \bar{B}_i S_1 \bar{S}_0 + S_1 S_0 = B_i S_0 + \bar{B}_i S_1$$

que corresponde al circuito de la figura 5.23.

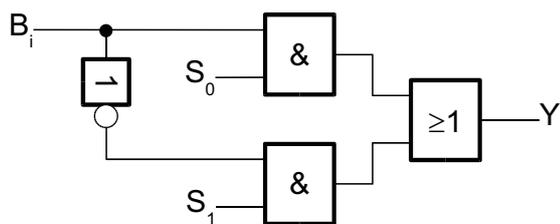


Figura 5.23.

La etapa i -ésima de la parte aritmética de la ALU sería, por tanto, la ilustrada en la figura 5.24.

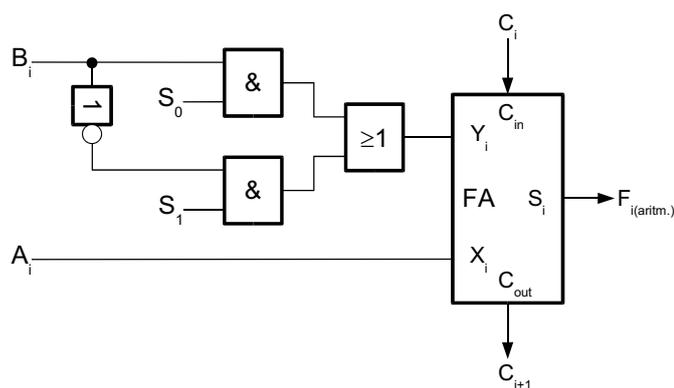


Figura 5.24.

El acarreo de salida nos puede dar una información muy importante, véase la tabla 5.3.

Tabla 5.3:

S_1	S_0	C_{in}	$F =$	Operación	C_{out}
0	0	0	A	Transferir A	$C_{out} = 0$ siempre
0	0	1	$A + 1$	Incrementar A	Si $A = 2^n - 1$, $C_{out} = 1$ y $F = 0$
0	1	0	$A + B$	Sumar $A + B$	Si $A + B \geq 2^n$, $C_{out} = 1$ y desbordamiento
0	1	1	$A + B + 1$	Incrementar $A + B$	Si $A + B \geq 2^n - 1$, $C_{out} = 1$ y desbordamiento
1	0	0	$A + \bar{B}$	Restar $A - B$ en Ca1	Si $A > B$, $C_{out} = 1$ Si $A \leq B$, $C_{out} = 0$
1	0	1	$A + \bar{B} + 1$	Restar $A - B$ en Ca2	Si $A \geq B$, $C_{out} = 1$ Si $A < B$, $C_{out} = 0$
1	1	0	$A - 1$	Decrementar A	Si $C_{out} = 0$, $A = 0$
1	1	1	A	Transferir A	$C_{out} = 1$ siempre

5.3.2. Diseño del circuito lógico

Supongamos que las operaciones lógicas a realizar son: $A \text{ AND } B$, $A \text{ OR } B$, $A \text{ EXOR } B$ y $\text{NOT } A$, donde A y B son las palabras de entrada en la ALU². La selección de una operación u otra se hará, al igual que en la parte aritmética, dependiendo del valor que tomen las entradas S_1 y S_0 . Arbitrariamente se ha tomado la asignación siguiente: 00 para OR, 01 para EXOR, 10 para AND y 11 para NOT.

La etapa i -ésima del circuito lógico aparece en la figura 5.25. Ésta permite calcular las distintas operaciones lógicas sobre los bits A_i y B_i de entrada a la ALU. Dado que estas operaciones son a nivel de bit, las etapas del circuito lógico son independientes entre sí, es decir, no necesitan interconexiones entre ellas. Tan sólo comparten las líneas de selección de operación, S_1 y S_0 .

5.3.3. Unión de los circuitos aritmético y lógico

Para construir la ALU se han de interconectar los dos circuitos que la forman, aritmético y lógico. Las variables S_1 y S_0 serán comunes para las dos partes, y será S_2 la que seleccione una u otra. La siguiente figura representa una posible solución para la etapa i -ésima de una ALU.

²Se entiende que $A \text{ AND } B$ (o cualquier otra operación lógica) genera un resultado F , donde cada bit, $F_i = A_i \text{ AND } B_i$.

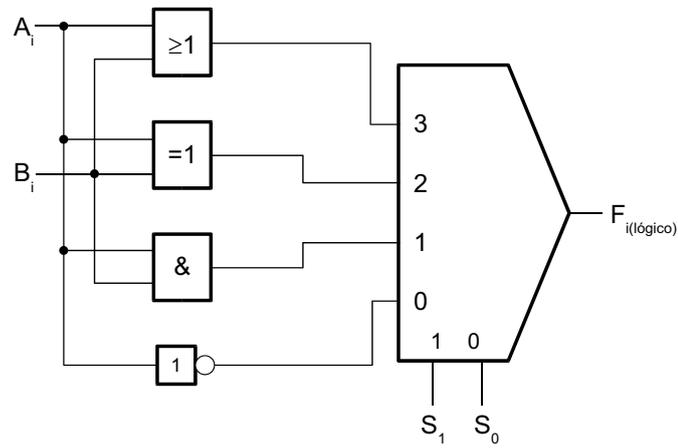


Figura 5.25.

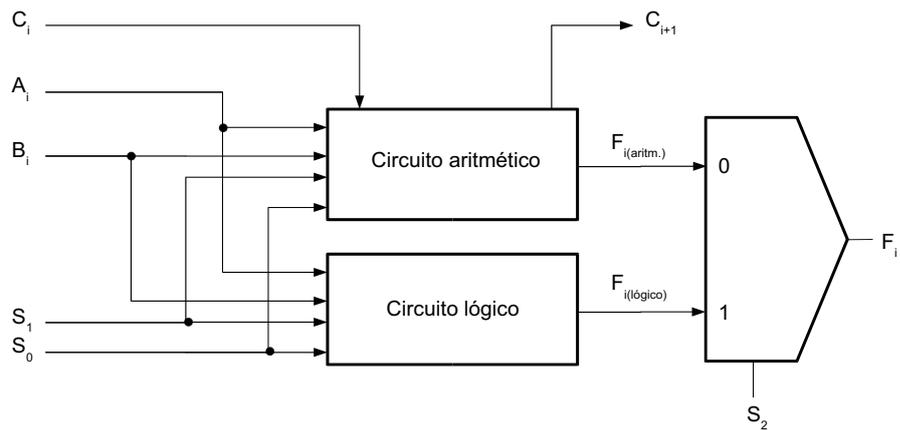


Figura 5.26.

Combinando n etapas, obtenemos una ALU de n bits. La única interconexión entre la etapa i -ésima y la siguiente es el acarreo C_i (parte aritmética). En la primera etapa, $i = 0$, el acarreo C_0 sirve como acarreo de entrada C_{in} de la ALU para las operaciones aritméticas; análogamente, la última etapa, $i = n - 1$ genera el acarreo C_n , que se corresponde con el acarreo de salida C_{out} de la ALU.

5.3.4. Descripción de una ALU comercial

Las siguientes figuras ilustran el diagrama de conexionado y la tabla de operaciones de la ALU 74F381.

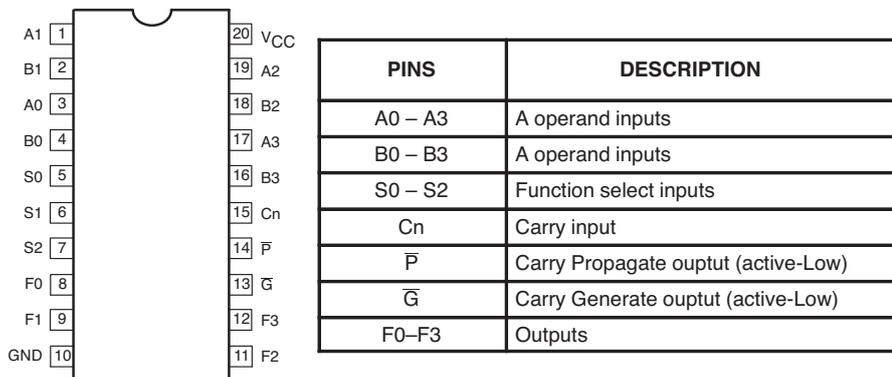


Figura 5.27. titulo

FUNCTION SELECT TABLE

SELECT			OPERATING MODE
S0	S1	S2	
L	L	L	Clear
H	L	L	B minus A
L	H	L	A minus B
H	H	L	A Plus B
L	L	H	$A \oplus B$
H	L	H	$A + B$
L	H	H	AB
H	H	H	Preset

H = High voltage level
L = Low voltage level

Figura 5.28. titulo

Obsérvese que la operación aritmética de suma aparece como PLUS para distinguirla de la operación lógica OR, que aparece expresada mediante ope-

rador +. Asimismo, la operación aritmética de resta aparece como MINUS.