

# Tema 4: Microprocesador MC68000

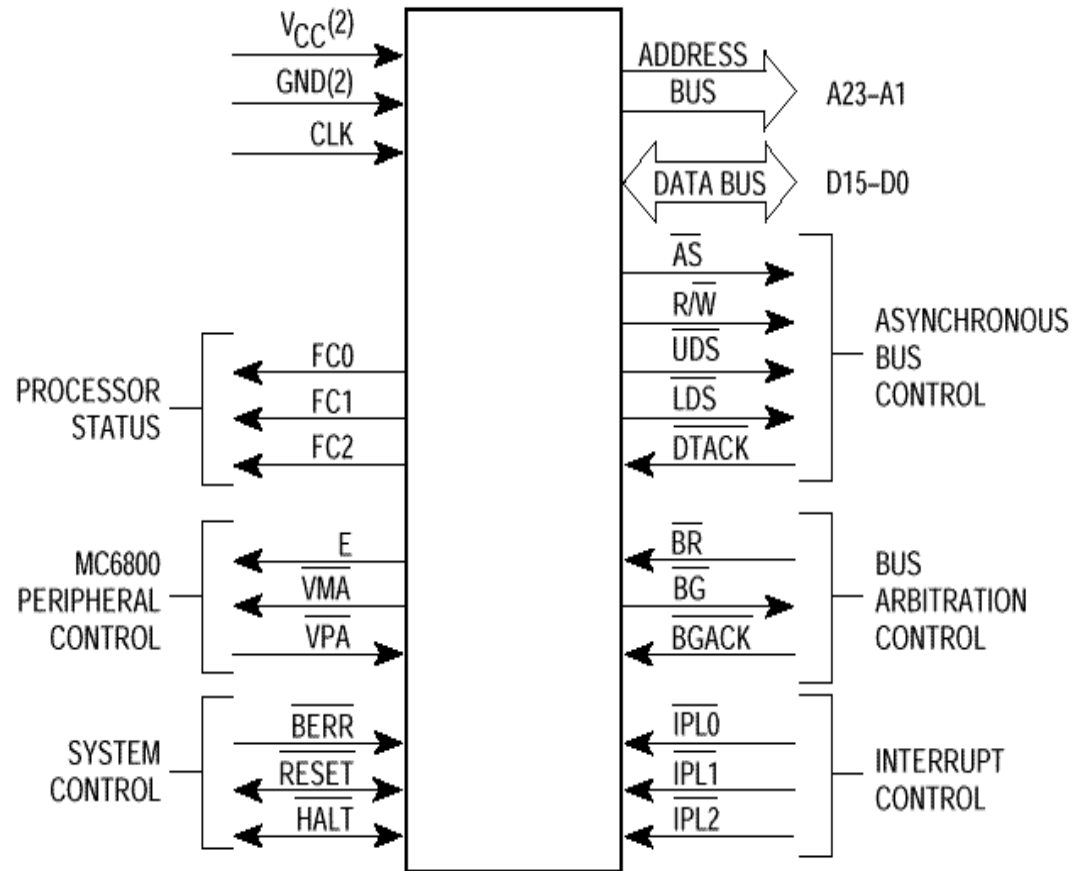
- Buses de datos y direcciones
- Control del bus asíncrono y estado del procesador
- Control del bus síncrono
- Control del sistema
- Terminales de petición de interrupciones
- Excepciones

# Tema 4: Microprocesador MC68000

## Buses de datos y direcciones

- **BUS DE DATOS (D15-D0) - 16bits. Triestado. Bidireccional.**

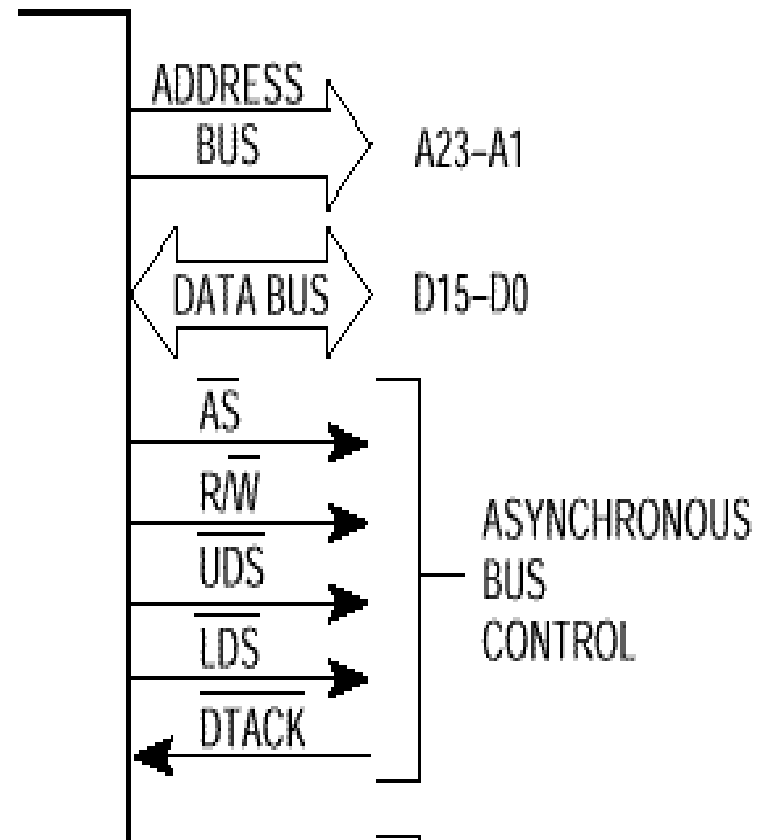
- **BUS DE DIRECCIONES (A23-A1) - 23 bits = 8 M direcc. Físicas. Triestado. Unidireccional.**



# Tema 4: Microprocesador MC68000

## Control del bus asíncrono y estado del procesador

- #AS: Salida. Triestado. Activa en bajo. Informa de que existe una dirección estable en el bus de direcciones.
- R/#W: Salida. Indica el tipo de transferencia (lectura o escritura)
- #UDS y #LDS. Salidas. Activas en bajo. Indican la parte del bus de datos (mitad superior D15-D8 o mitad inferior D7-D0) que se utiliza en los ciclos de lectura o escritura.
- #DTACK. Entrada. Activa en bajo. Indica el fin de un ciclo de lectura/escritura.



# Tema 4: Microprocesador MC68000

## Control del bus asíncrono y estado del procesador

UDS	LDS	R/W	D8-D15	D0-D7
High	High	—	No Valid Data	No Valid Data
Low	Low	High	Valid Data Bits 15-8	Valid Data Bits 7-0
High	Low	High	No Valid Data	Valid Data Bits 7-0
Low	High	High	Valid Data Bus 15-8	No Valid Data
Low	Low	Low	Valid Data Bits 15-8	Valid Data Bits 7-0
High	Low	Low	Valid Data Bits 7-0*	Valid Data Bits 7-0
Low	High	Low	Valid Data Bits 15-8	Valid Data Bits 15-8*

- Accesos a bytes en direcciones impares utilizan D7-D0, por tanto, #UDS=1 y #LDS=0.
- Accesos a bytes en direcciones pares utilizan D15-D8, por tanto, #UDS=0 y #LDS=1.
- Accesos a words, utilizan D15-D0, por tanto, #UDS=#LDS=0.
- Accesos a long words, requieren dos ciclos de words.

# Tema 4: Microprocesador MC68000

## Control del bus asíncrono y estado del procesador

- Estado del procesador: F2,FC1,FC0. Salidas. Informan del tipo de ciclo de lectura/escritura que está realizando el microprocesador.
- Ciclo Supervisor/Usuario.
- Ciclo de Programa. Si accede a memoria en la fase de FETCH.
- Ciclo de Datos. Si accede a memoria en la fase de EXECUTE.
- Reconocimiento de interrupciones.

FC2	FC1	FC0	Tipo de ciclo
0	0	0	Indefinido
0	0	1	Datos de usuario
0	1	0	Programa de usuario
0	1	1	Indefinido
1	0	0	Indefinido
1	0	1	Datos de supervisor
1	1	0	Programa de supervisor
1	1	1	Reconocimiento de interrupciones

# Tema 4: Microprocesador MC68000

## Control del bus asíncrono y estado del procesador

- Existen tres ciclos de bus:

Ciclo de LECTURA

Ciclo de ESCRITURA

Ciclo de LECTURA-MODIFICACION-ESCRITURA \*

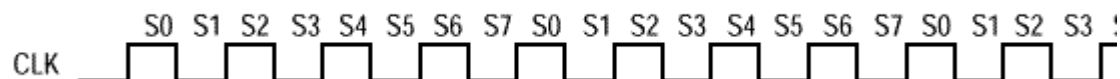
- Ciclo de LECTURA

Durante un ciclo de lectura, el procesador recibe 1 o 2 bytes de datos por el bus

#UDS y #LDS definen que mitad del bus se está utilizando.

Operandos de tamaño palabra larga se requieren dos ciclos de lectura

En un ciclo de lectura se definen ocho estados. Cada estado se corresponde con un nivel logico de la señal de reloj CLK.

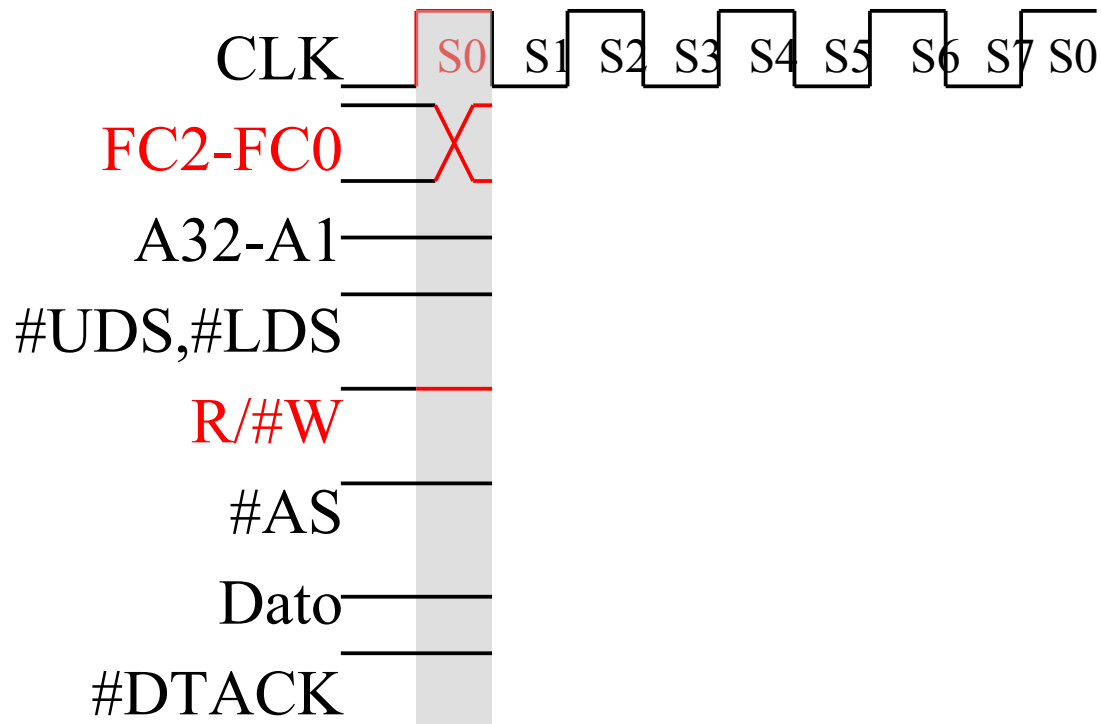


# Tema 4: Microprocesador MC68000

## Control del bus asíncrono y estado del procesador

- Temporización de lectura (sin estados de espera): Estado S0

Se actualizan FC2:FC0 y se pone a 1 la señal R/W#

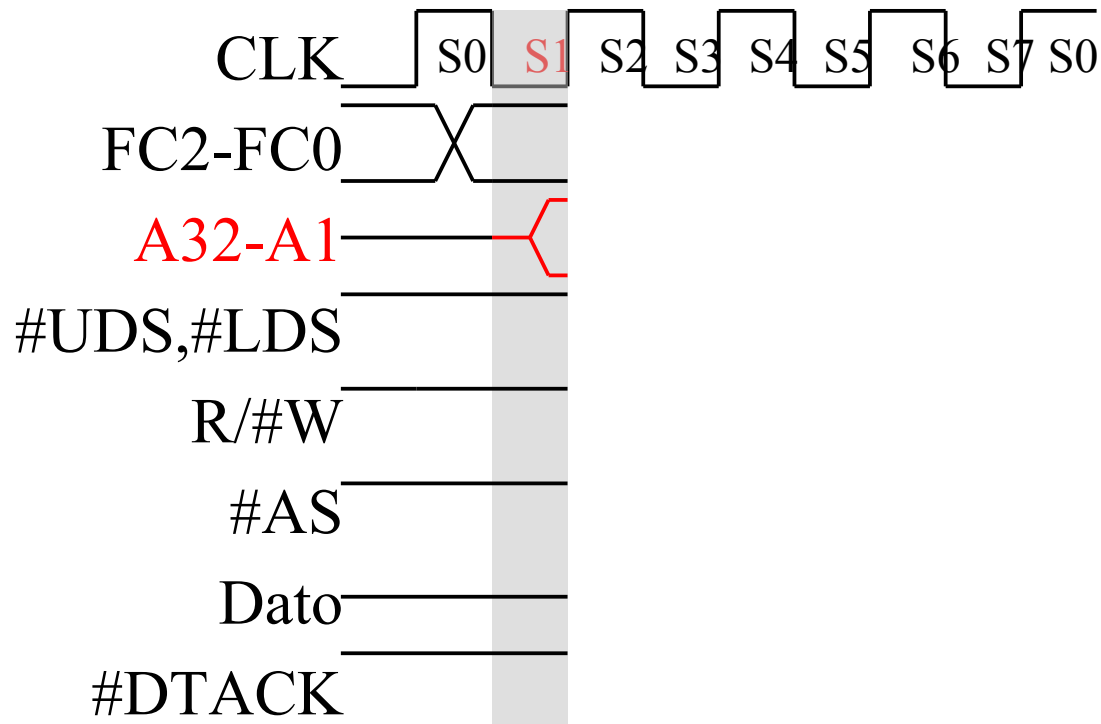


# Tema 4: Microprocesador MC68000

## Control del bus asíncrono y estado del procesador

- Temporización de lectura (sin estados de espera): Estado S1

Se colocan la dirección en el bus A23-A1.



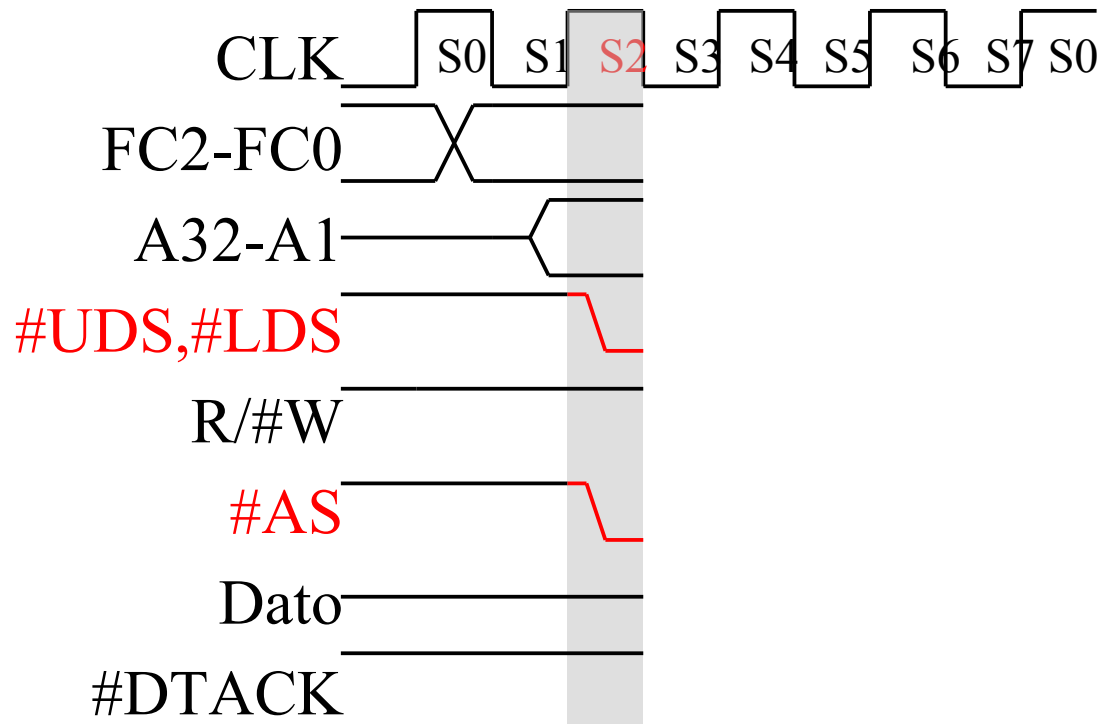


# Tema 4: Microprocesador MC68000

## Control del bus asíncrono y estado del procesador

- Temporización de lectura (sin estados de espera): Estado S2

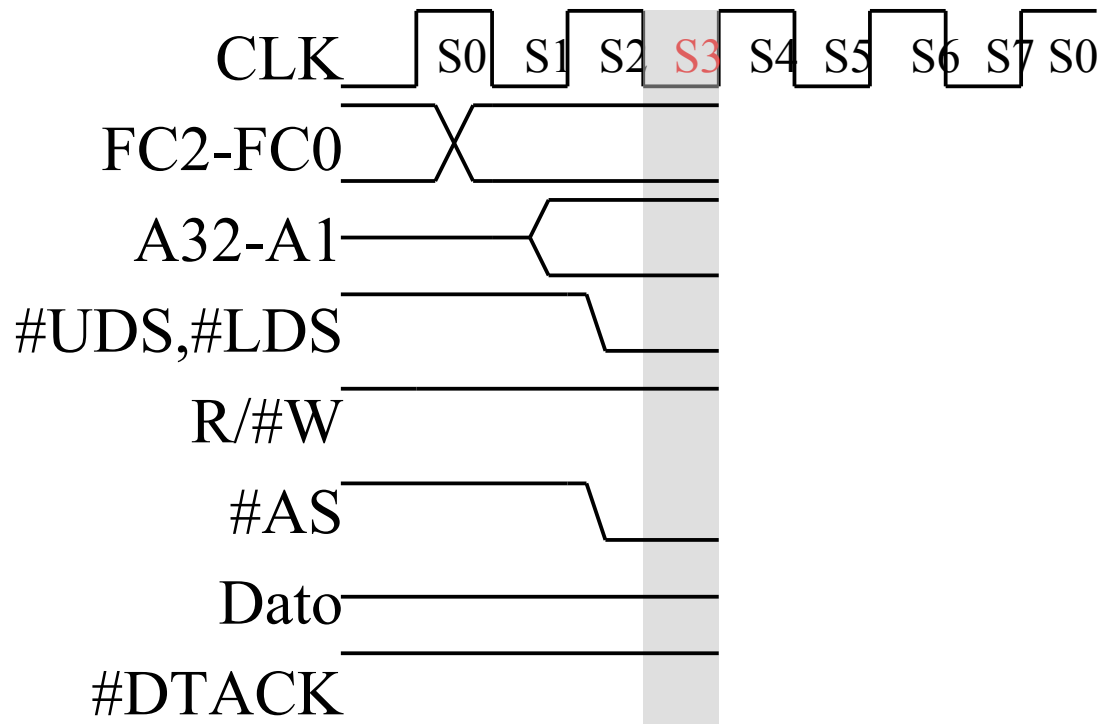
Se activan #AS y #UDS,#LDS según corresponda.



# Tema 4: Microprocesador MC68000

## Control del bus asíncrono y estado del procesador

- Temporización de lectura (sin estados de espera): Estado S3

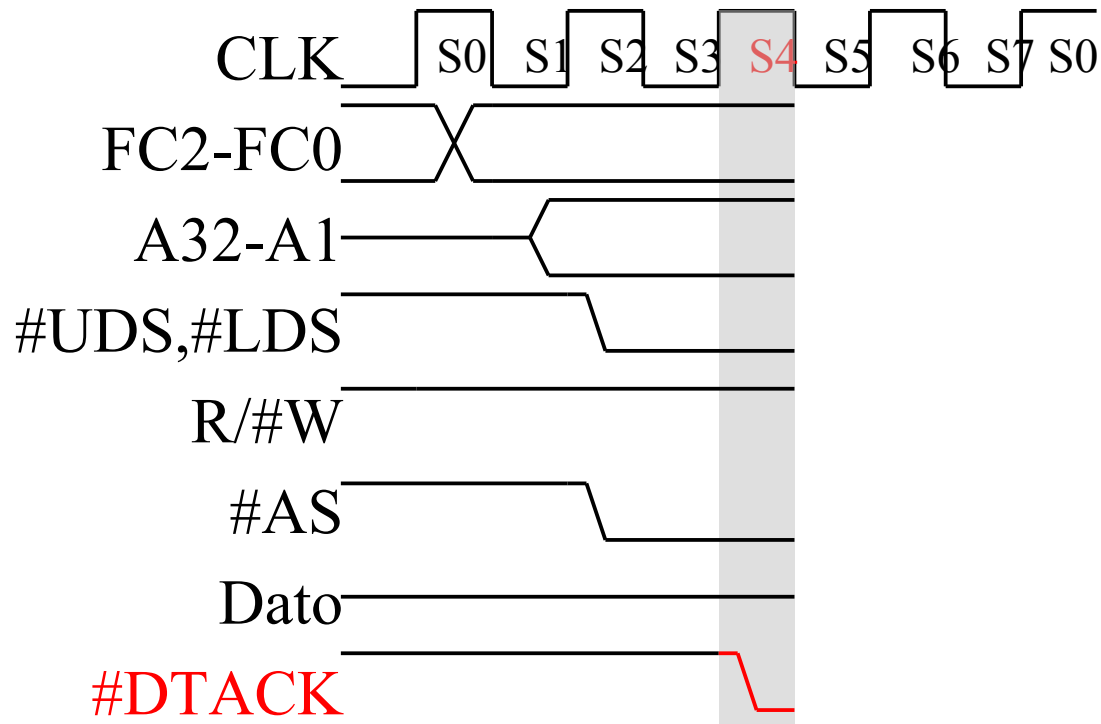


# Tema 4: Microprocesador MC68000

## Control del bus asíncrono y estado del procesador

- Temporización de lectura (sin estados de espera): Estado S4

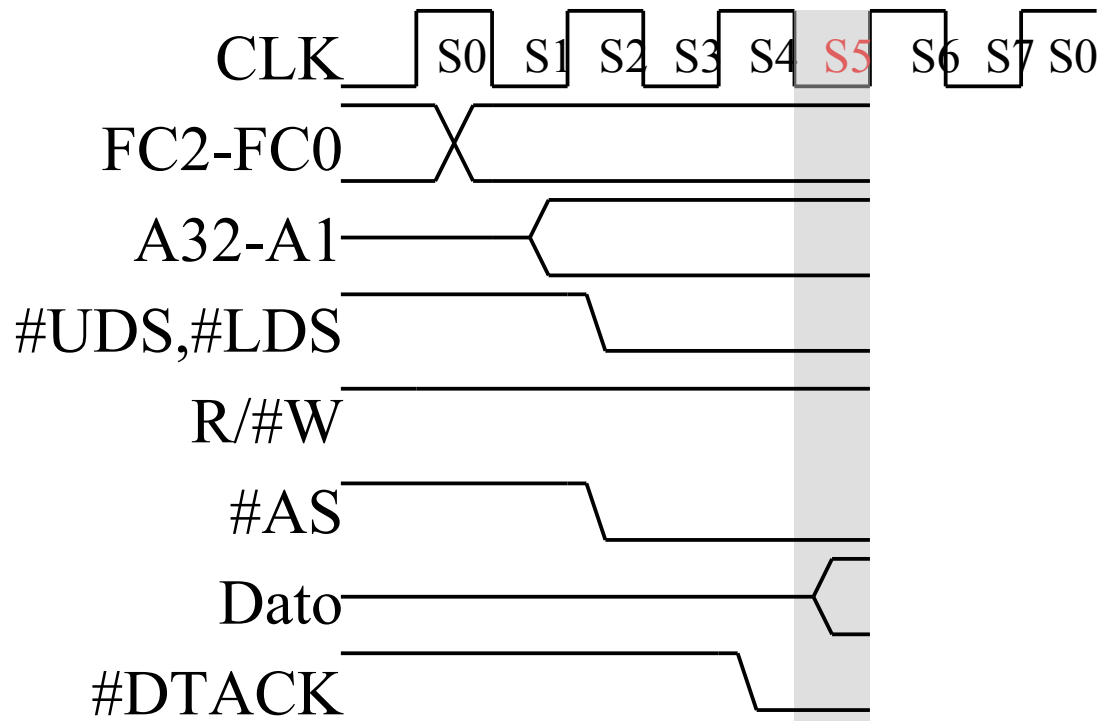
Si se recibe la activación de DTACK, se pasa al estado S5 y no se insertan estados de espera.



# Tema 4: Microprocesador MC68000

## Control del bus asíncrono y estado del procesador

- Temporización de lectura (sin estados de espera): Estado S5

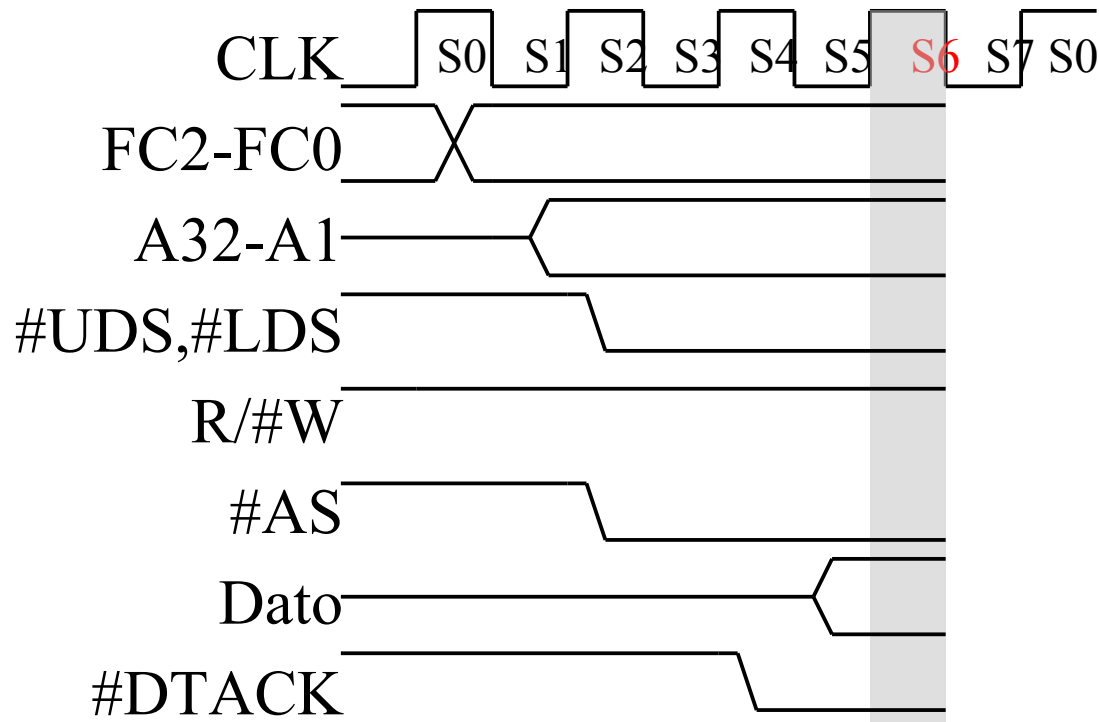


# Tema 4: Microprocesador MC68000

## Control del bus asíncrono y estado del procesador

- Temporización de lectura (sin estados de espera): Estado S6

Se captura el dato al final del ciclo (flanco descendente).

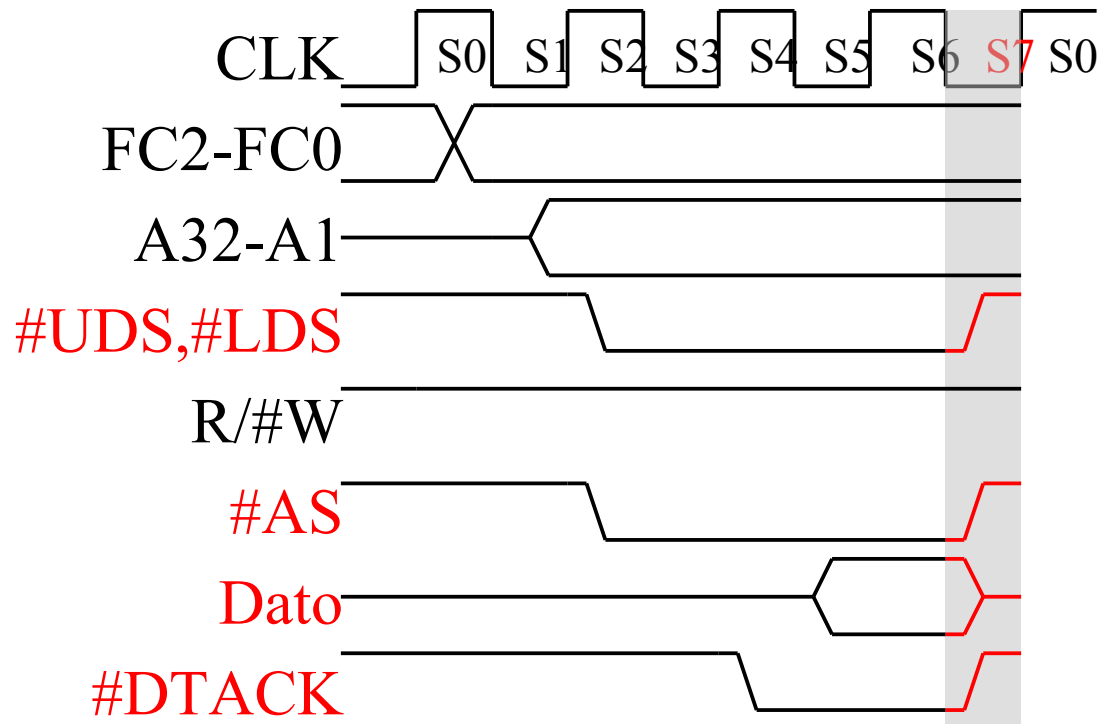


# Tema 4: Microprocesador MC68000

## Control del bus asíncrono y estado del procesador

- Temporización de lectura (sin estados de espera): Estado S7

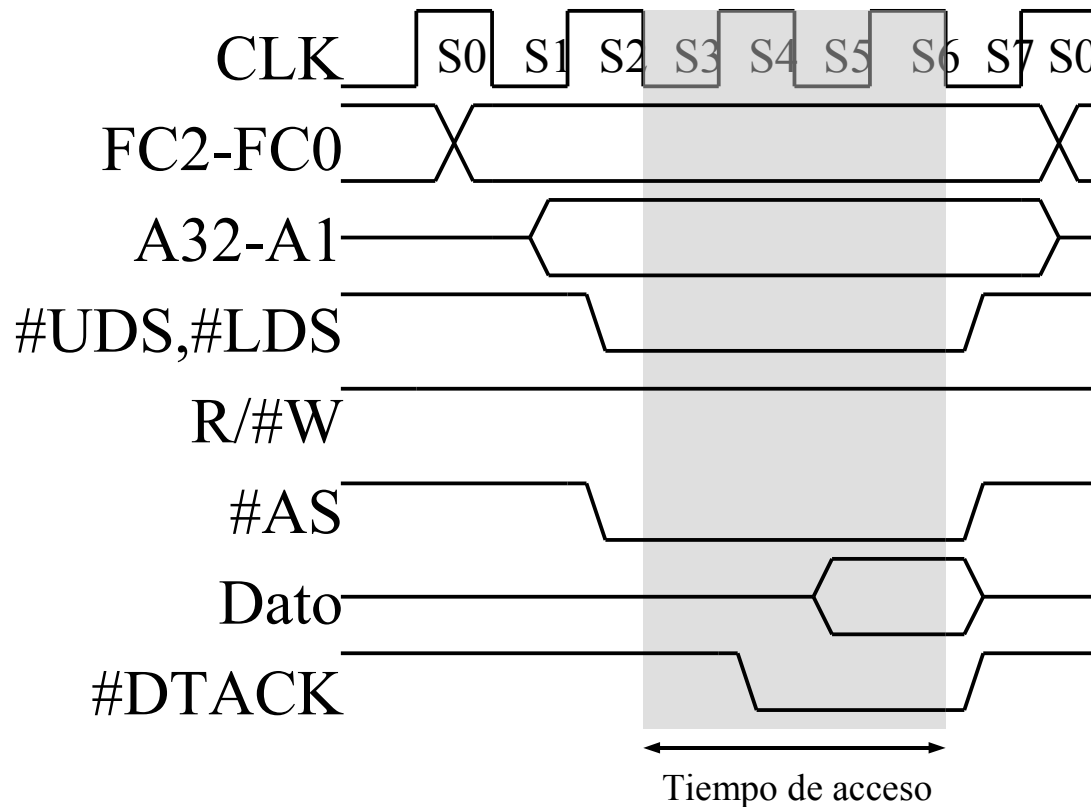
Se desactivan #UDS,#LDS,#AS, junto con #DATCK. El dato es retirado del bus.



# Tema 4: Microprocesador MC68000

## Control del bus asíncrono y estado del procesador

- Temporización de lectura (sin estados de espera):

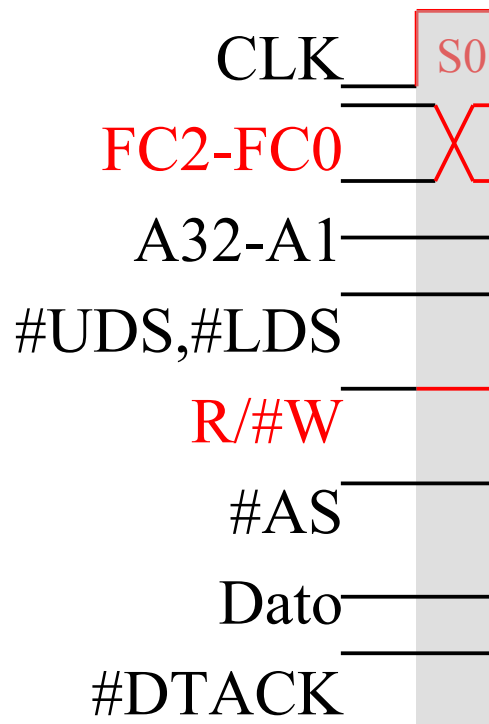


# Tema 4: Microprocesador MC68000

## Control del bus asíncrono y estado del procesador

- Temporización de lectura (con estados de espera): Estado S0

Se actualizan FC2:FC0 y se pone a 1 la señal R/W#



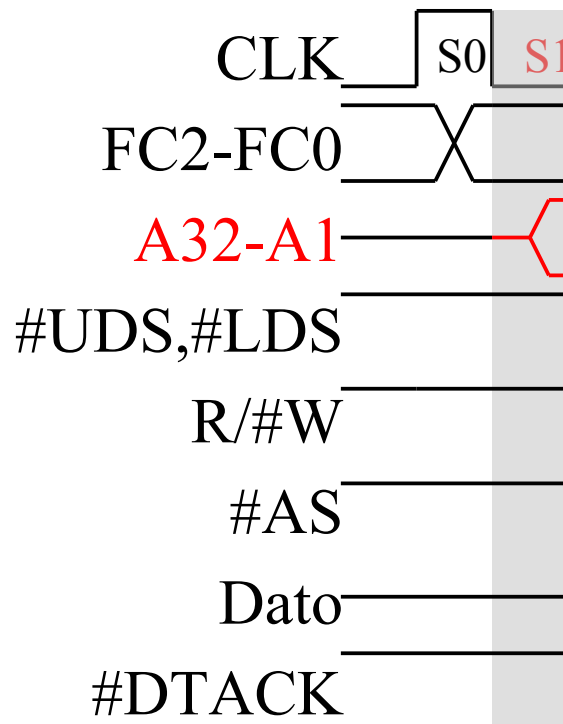


# Tema 4: Microprocesador MC68000

## Control del bus asíncrono y estado del procesador

- Temporización de lectura (con estados de espera): Estado S1

Se colocan la dirección en el bus A23-A1.

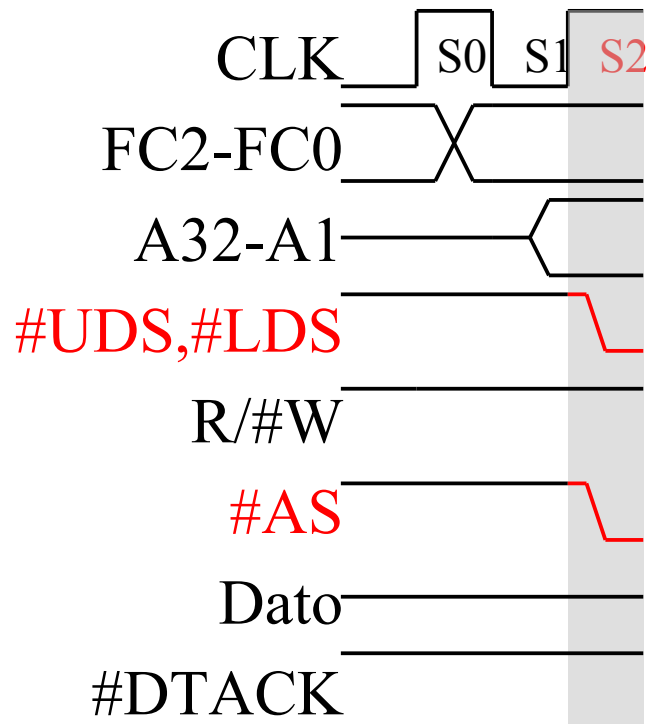


# Tema 4: Microprocesador MC68000

## Control del bus asíncrono y estado del procesador

- Temporización de lectura (con estados de espera): Estado S2

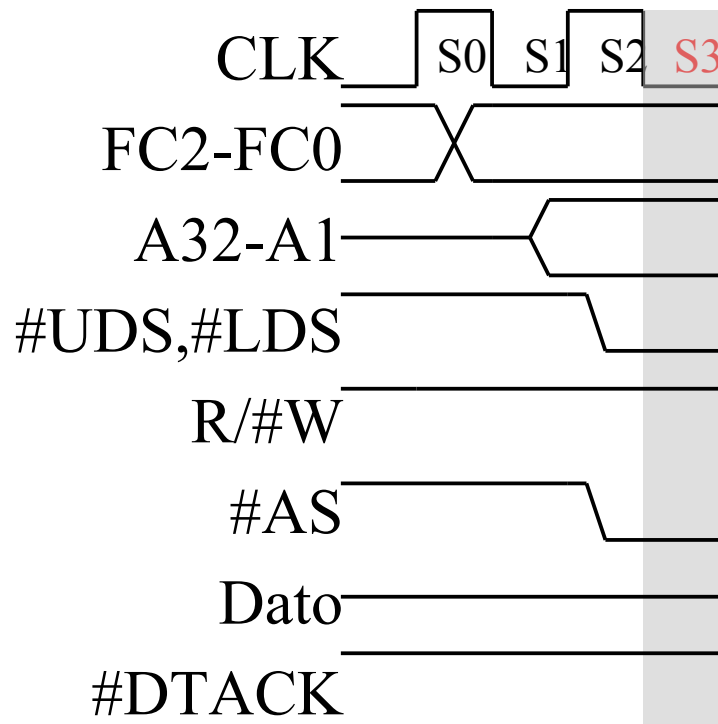
Se activan #AS y #UDS,#LDS según corresponda.



# Tema 4: Microprocesador MC68000

## Control del bus asíncrono y estado del procesador

- Temporización de lectura (con estados de espera): Estado S3

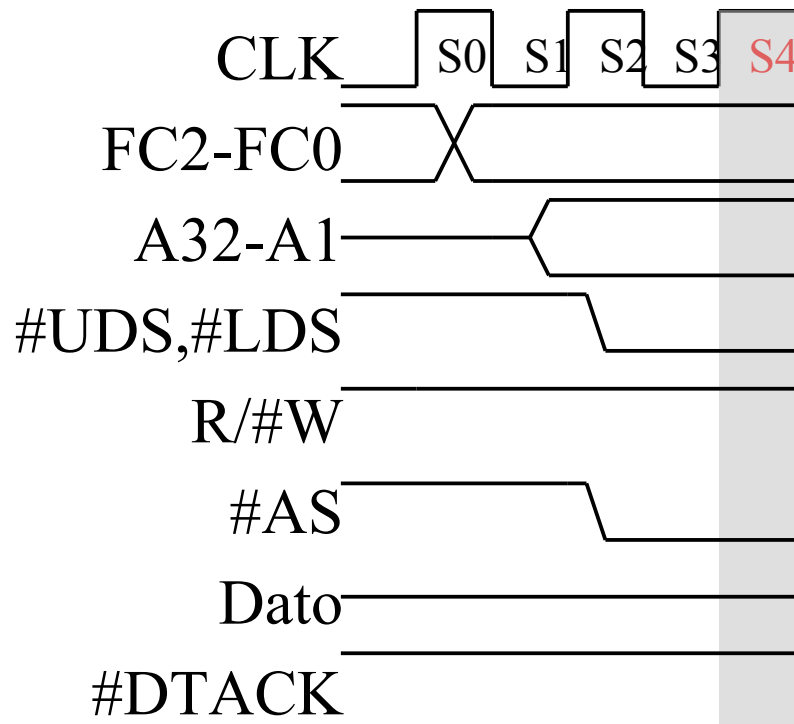


# Tema 4: Microprocesador MC68000

## Control del bus asíncrono y estado del procesador

- Temporización de lectura (sin estados de espera): Estado S4

No se recibe la activación de DTACK, se insertan estados de espera.

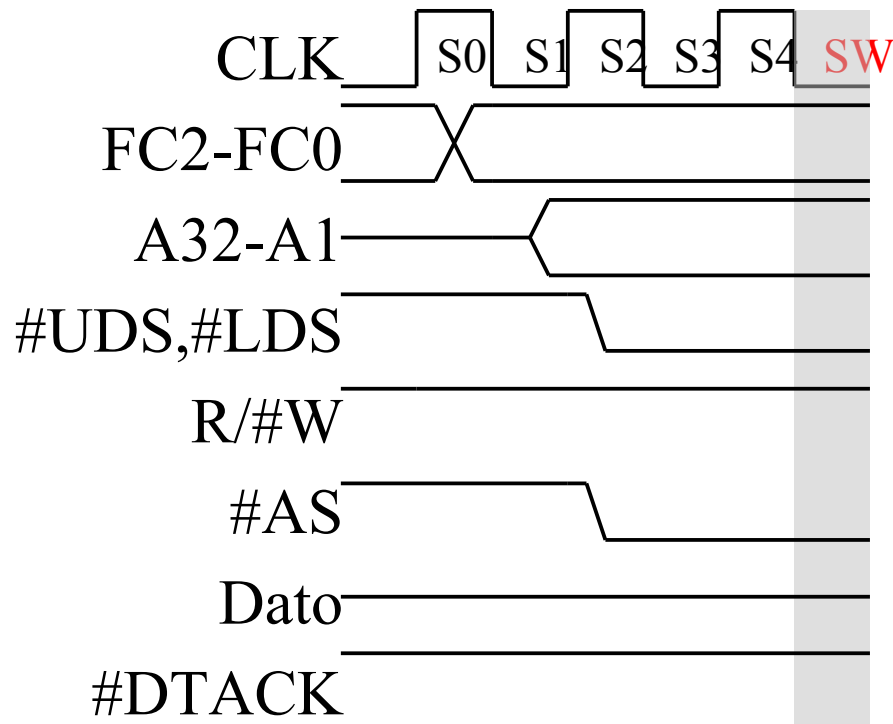


# Tema 4: Microprocesador MC68000

## Control del bus asíncrono y estado del procesador

- Temporización de lectura (con estados de espera): Estado SW

Si espera a la activación de DTACK

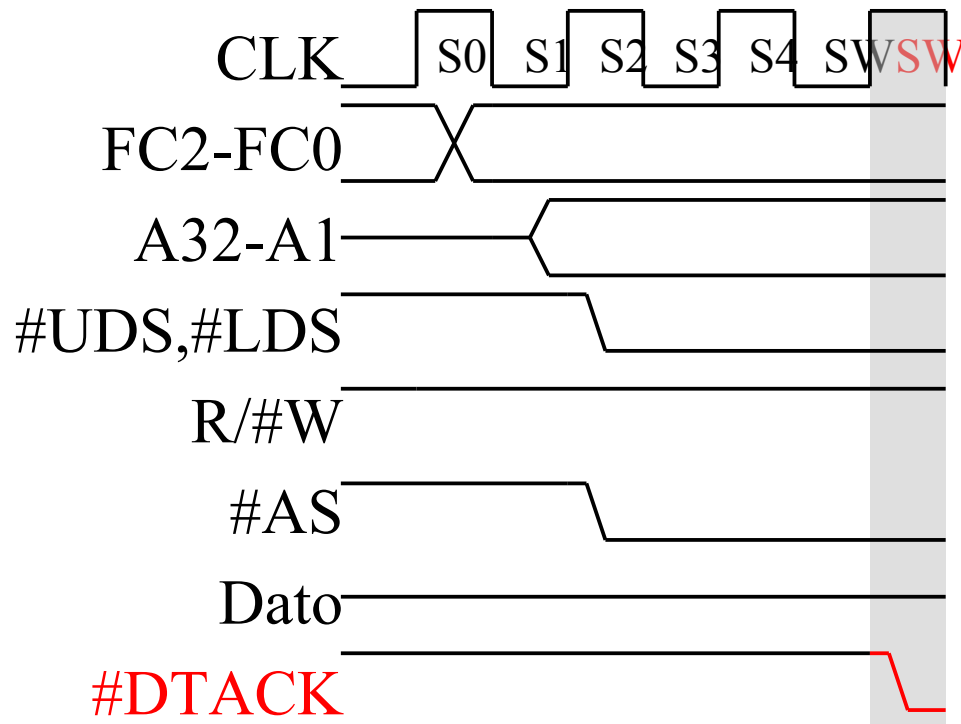


# Tema 4: Microprocesador MC68000

## Control del bus asíncrono y estado del procesador

- Temporización de lectura (con estados de espera): Estado SW

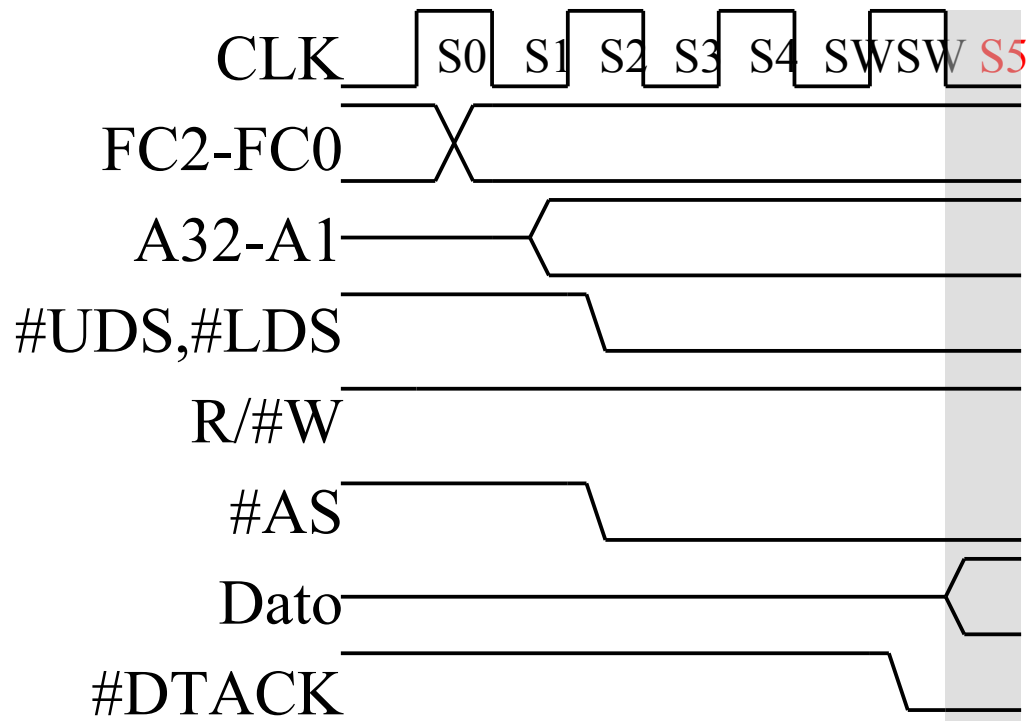
Si espera a la activación de DTACK



# Tema 4: Microprocesador MC68000

## Control del bus asíncrono y estado del procesador

- Temporización de lectura (con estados de espera): Estado S5

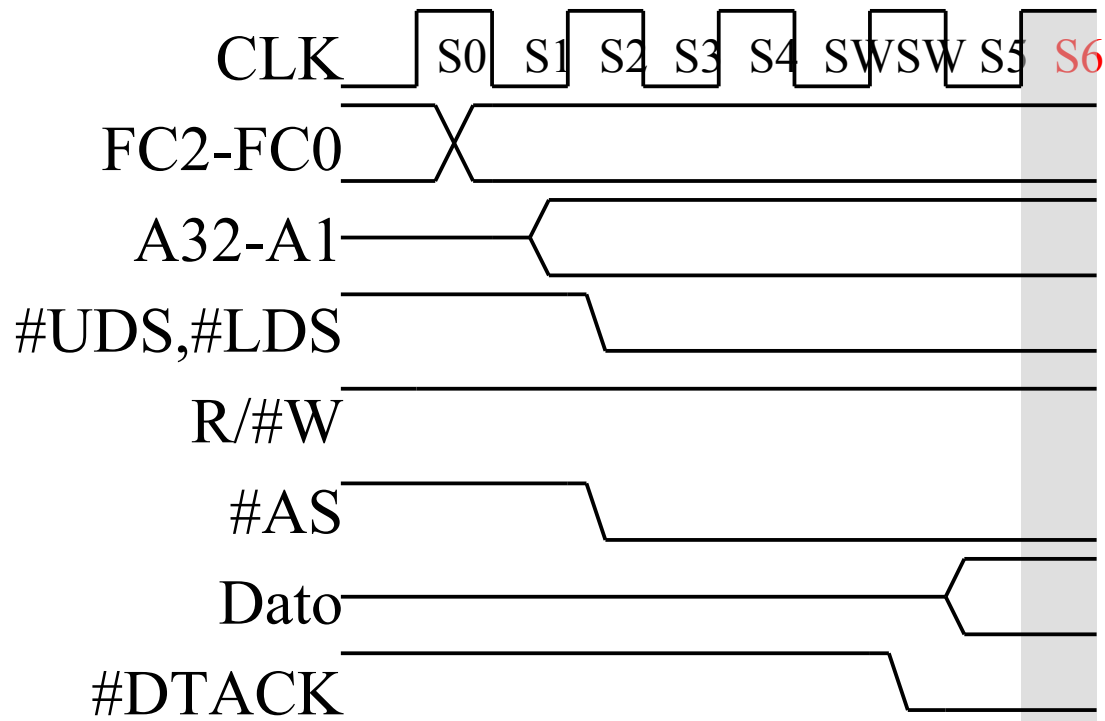


# Tema 4: Microprocesador MC68000

## Control del bus asíncrono y estado del procesador

- Temporización de lectura (con estados de espera): Estado S6

Se captura el dato en el flanco descendente.





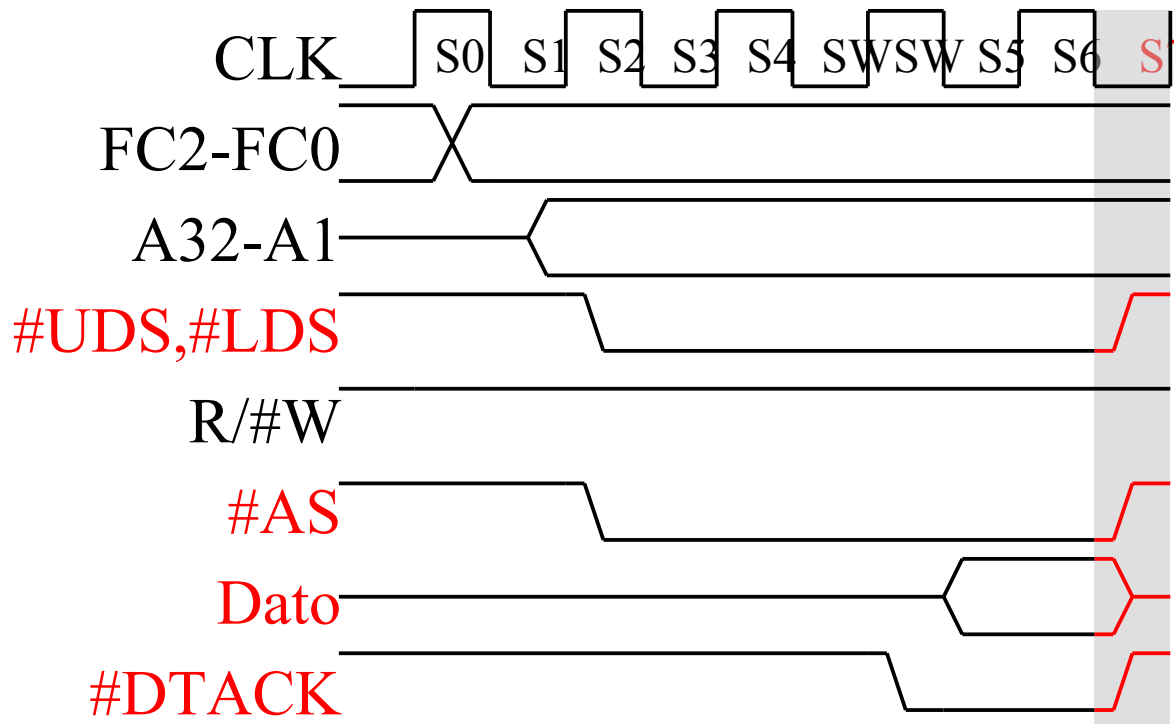
# Tema 4: Microprocesador MC68000

## Control del bus asíncrono y estado del procesador

- Temporización de lectura (con estados de espera): Estado S7

Se desactivan #UDS,#LDS,#AS, junto con #DATCK. El dato es retirado del bus.

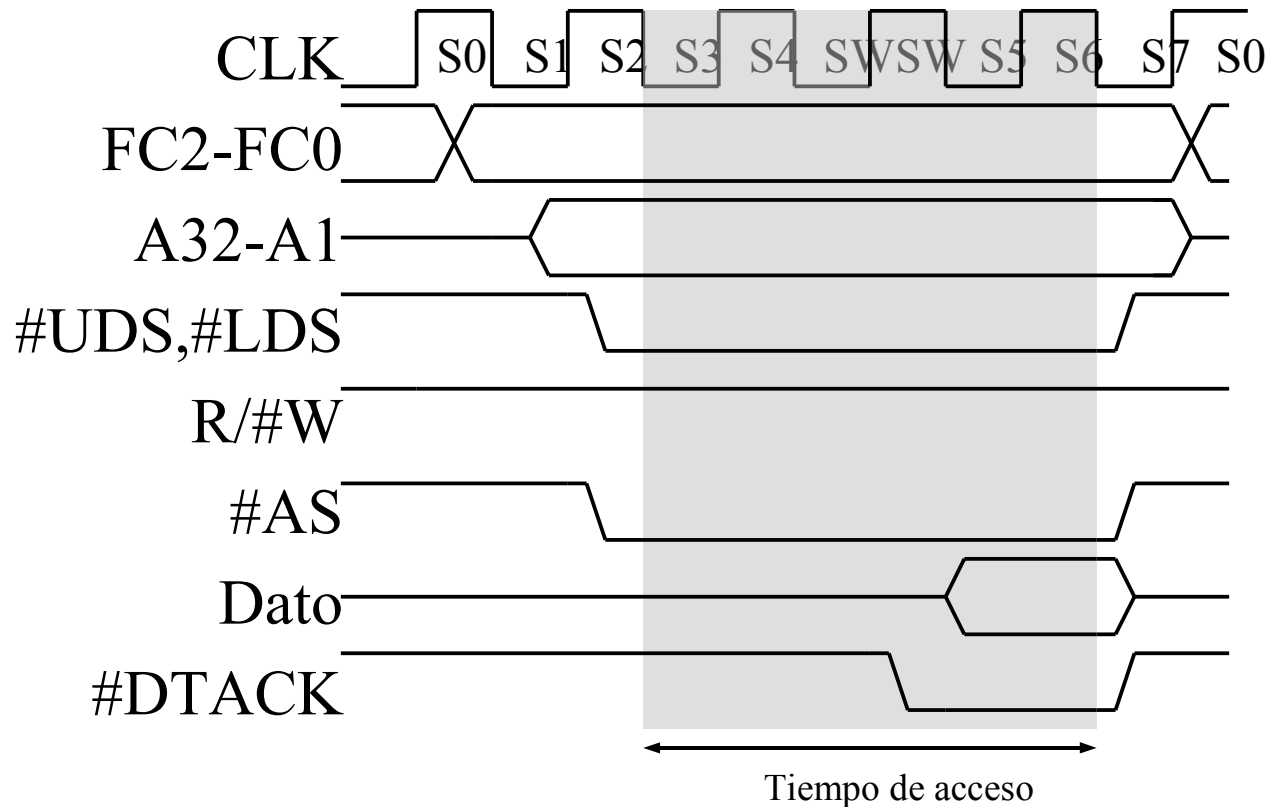
1 Estado de espera = 2 SW



# Tema 4: Microprocesador MC68000

## Control del bus asíncrono y estado del procesador

- Temporización de lectura (con estados de espera):

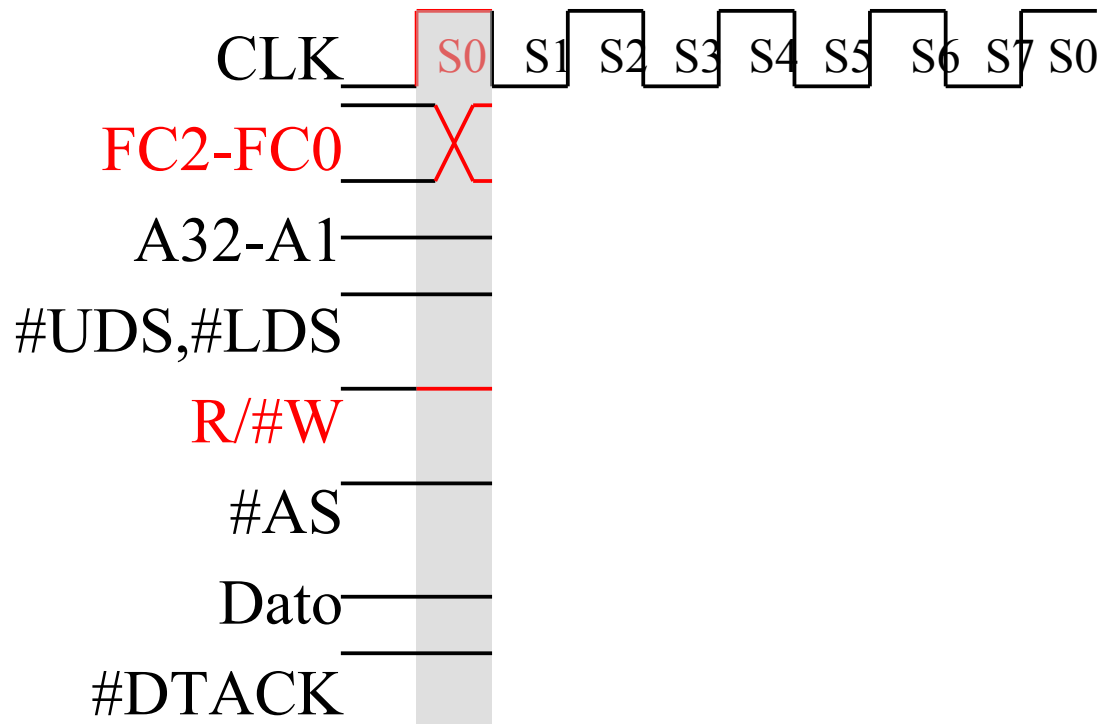


# Tema 4: Microprocesador MC68000

## Control del bus asíncrono y estado del procesador

- Temporización de escritura (sin estados de espera): Estado S0

Se actualizan FC2:FC0 y se pone a 1 la señal R/W#

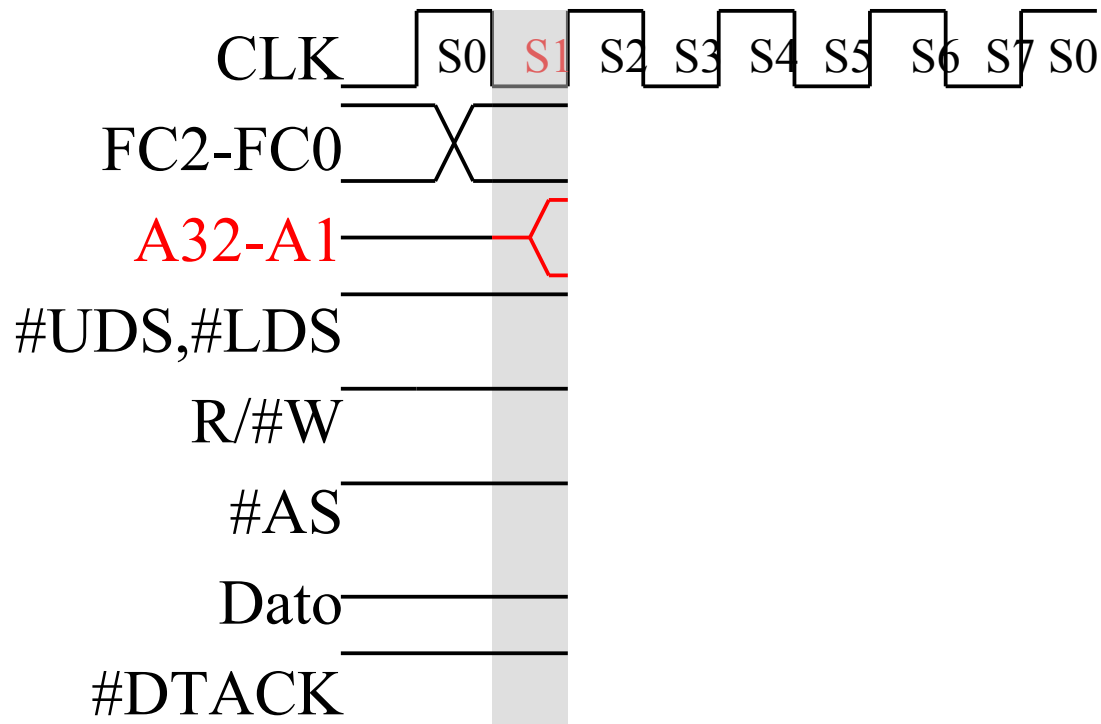


# Tema 4: Microprocesador MC68000

## Control del bus asíncrono y estado del procesador

- Temporización de escritura (sin estados de espera): Estado S1

Se colocan la dirección en el bus A23-A1.

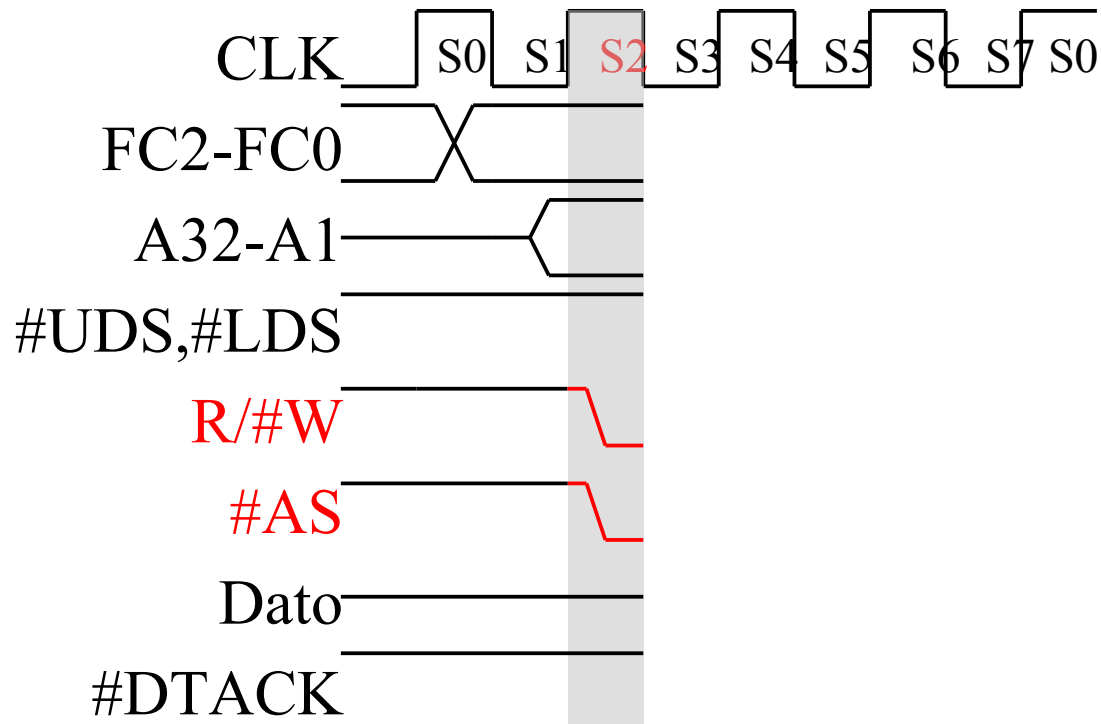


# Tema 4: Microprocesador MC68000

## Control del bus asíncrono y estado del procesador

- Temporización de escritura (sin estados de espera): Estado S2

Se activan #AS y se pone a 0 R/#W

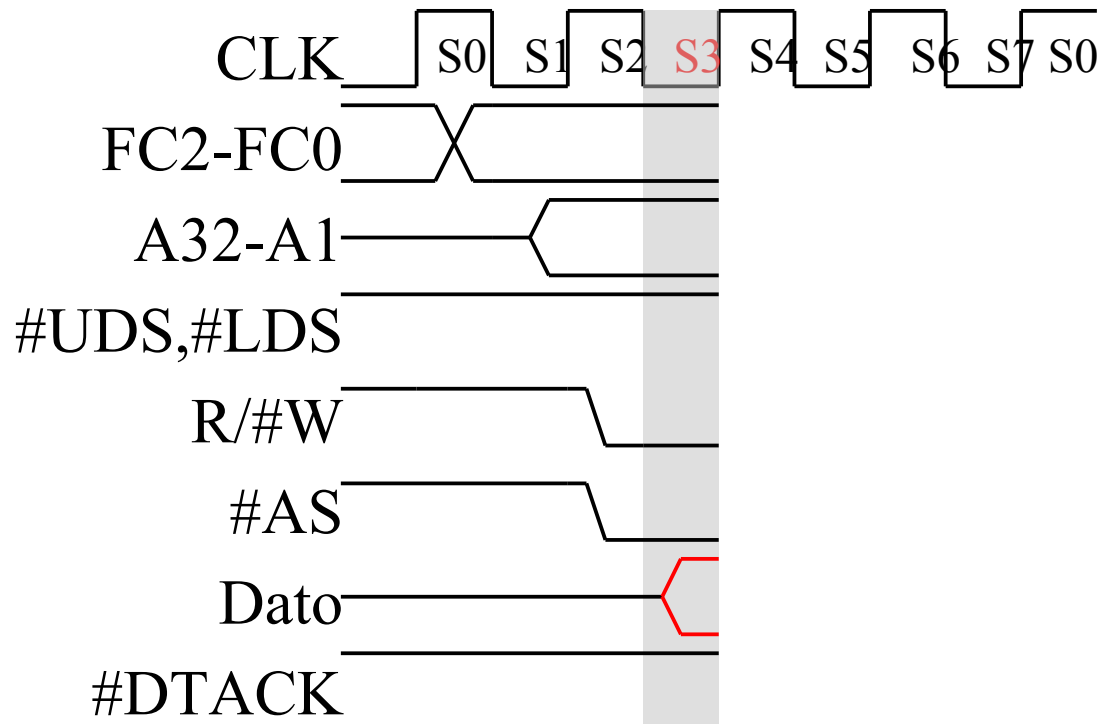


# Tema 4: Microprocesador MC68000

## Control del bus asíncrono y estado del procesador

- Temporización de escritura (sin estados de espera): Estado S3

Se sitúa el dato en el bus de datos.

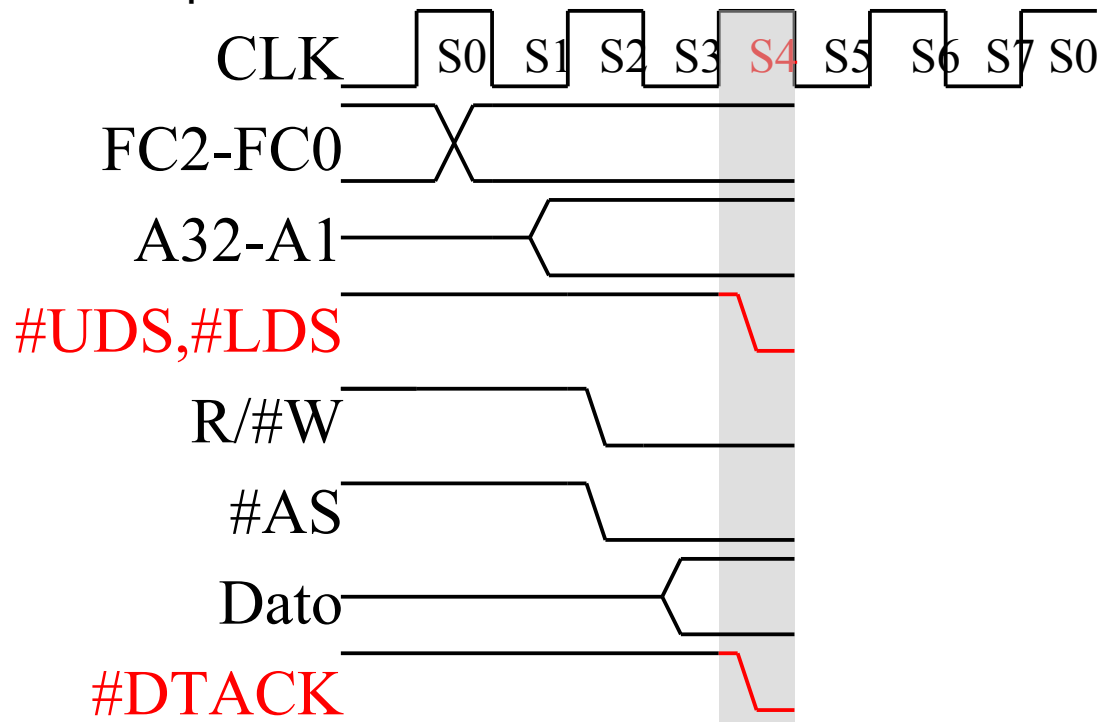


# Tema 4: Microprocesador MC68000

## Control del bus asíncrono y estado del procesador

- Temporización de escritura (sin estados de espera): Estado S4

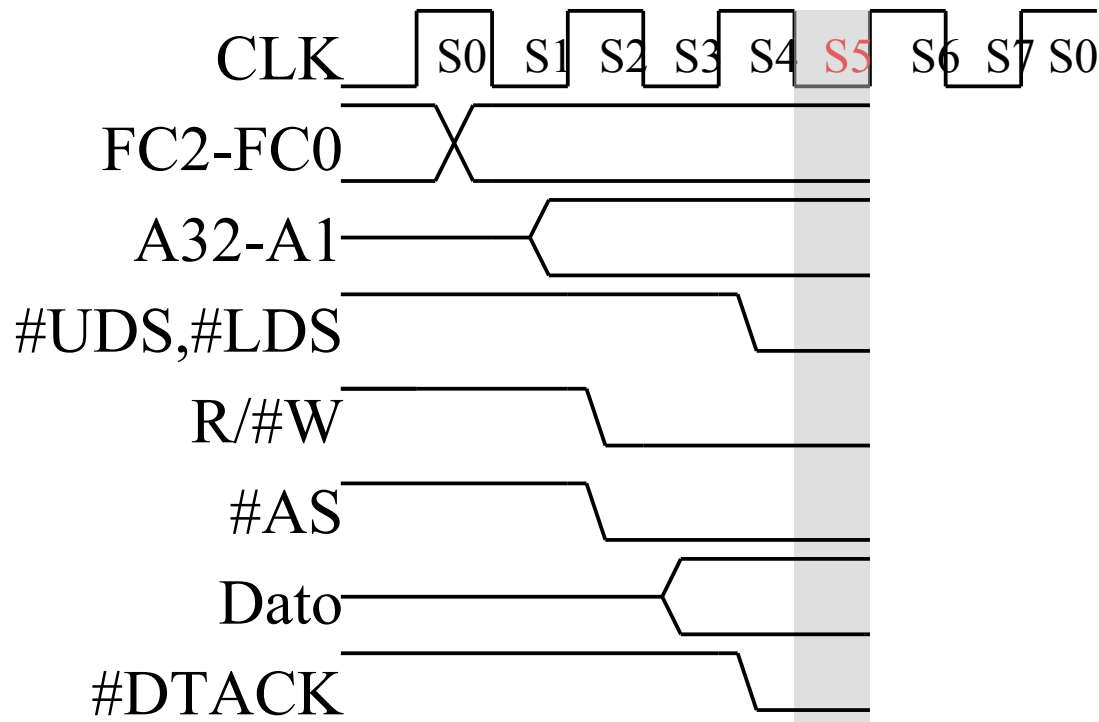
Se activan #UDS y #LDS según corresponda y se recibe la activación de DTACK, se pasa al estado S5 y no se insertan estados de espera.



# Tema 4: Microprocesador MC68000

## Control del bus asíncrono y estado del procesador

- Temporización de escritura (sin estados de espera): Estado S5

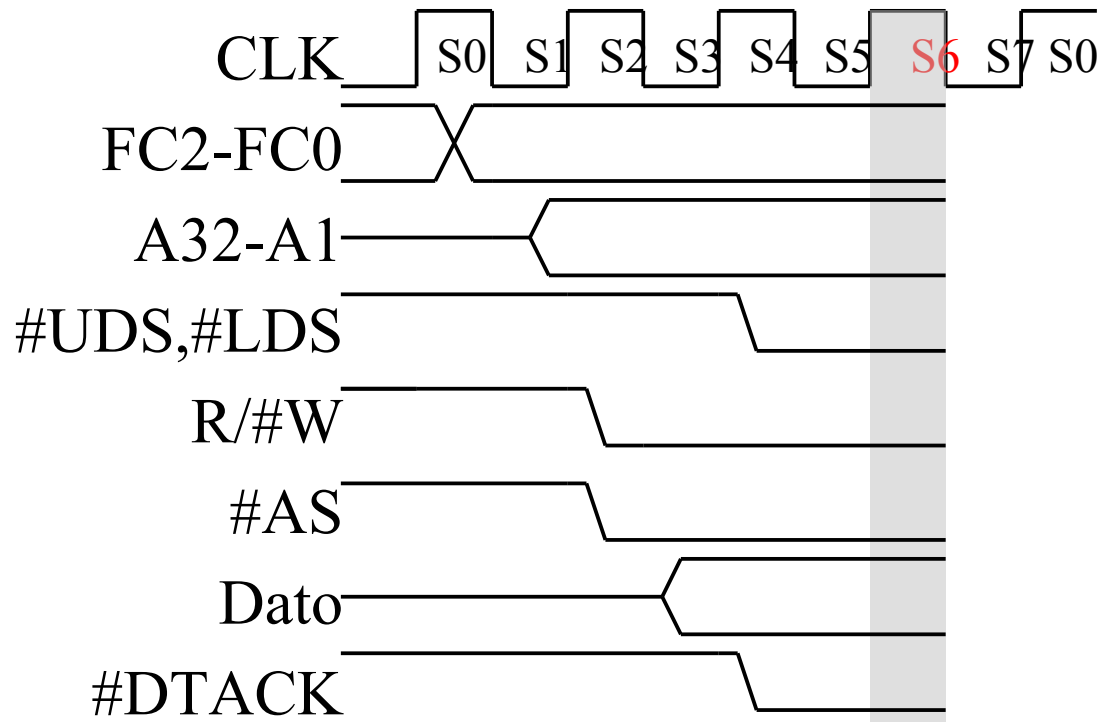




# Tema 4: Microprocesador MC68000

## Control del bus asíncrono y estado del procesador

- Temporización de escritura (sin estados de espera): Estado S6

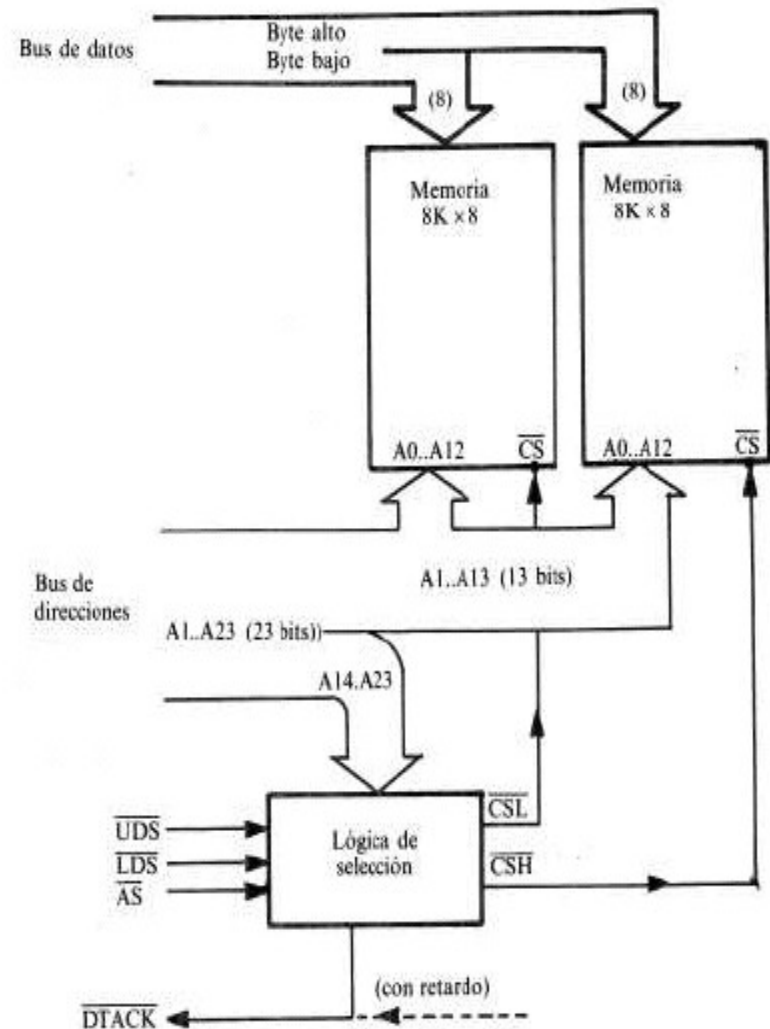




# Tema 4: Microprocesador MC68000

## Conexión de memorias al MC68000

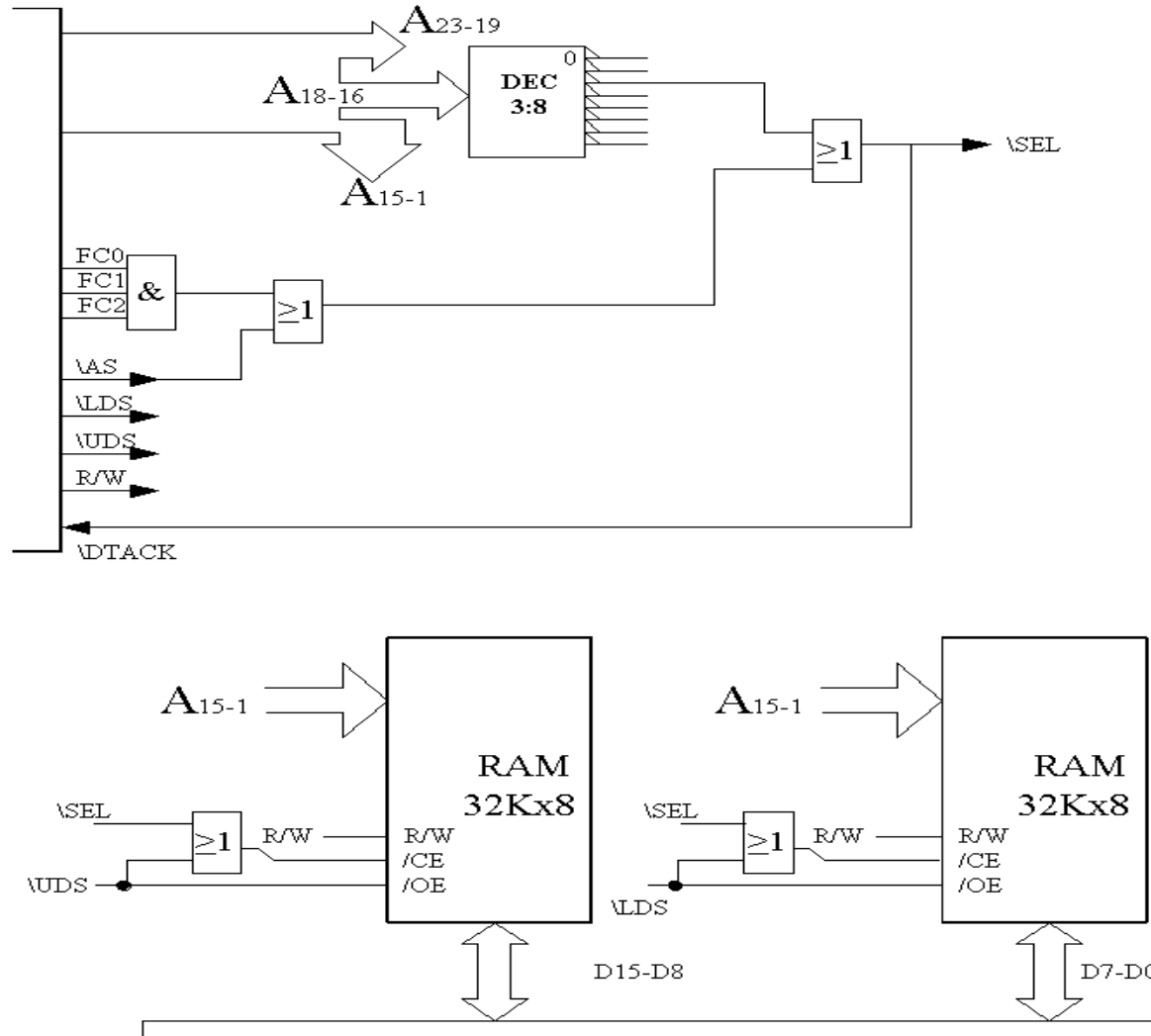
- Los chips de memoria deben venir en parejas, donde el bus de datos de uno se conecta a la mitad baja del bus y el del otro a la mitad alta.
- Las líneas menos significativas del bus de direcciones se utilizan para seleccionar la dirección interna de ambos chips.
- Las líneas más significativas, junto con #UDS, #LDS, #AS, habilitan uno o ambos chips de memoria mediante la lógica de selección que, a su vez, habilita la entrada #DTACK (con o sin retardo).



# Tema 4: Microprocesador MC68000

## Conexión de memorias al MC68000

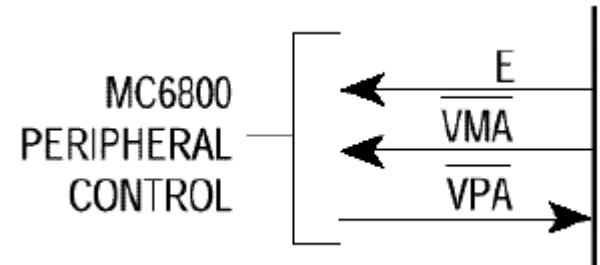
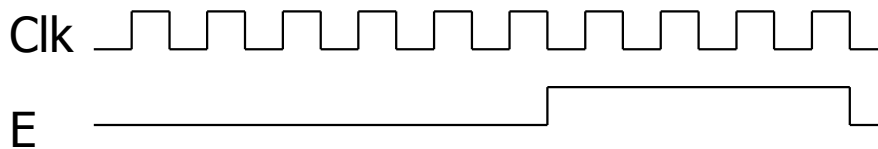
- Ejemplo: 32k words a partir de la dirección \$020000 (dec. parcial)



# Tema 4: Microprocesador MC68000

## Control del bus síncrono

- E. Salida. Porta una señal de reloj que conecta en las entradas de reloj de los periféricos síncronos. Un periodo de E equivales a 10 periodos de CLK (6 en bajo y 4 en alto). Siempre está corriendo.



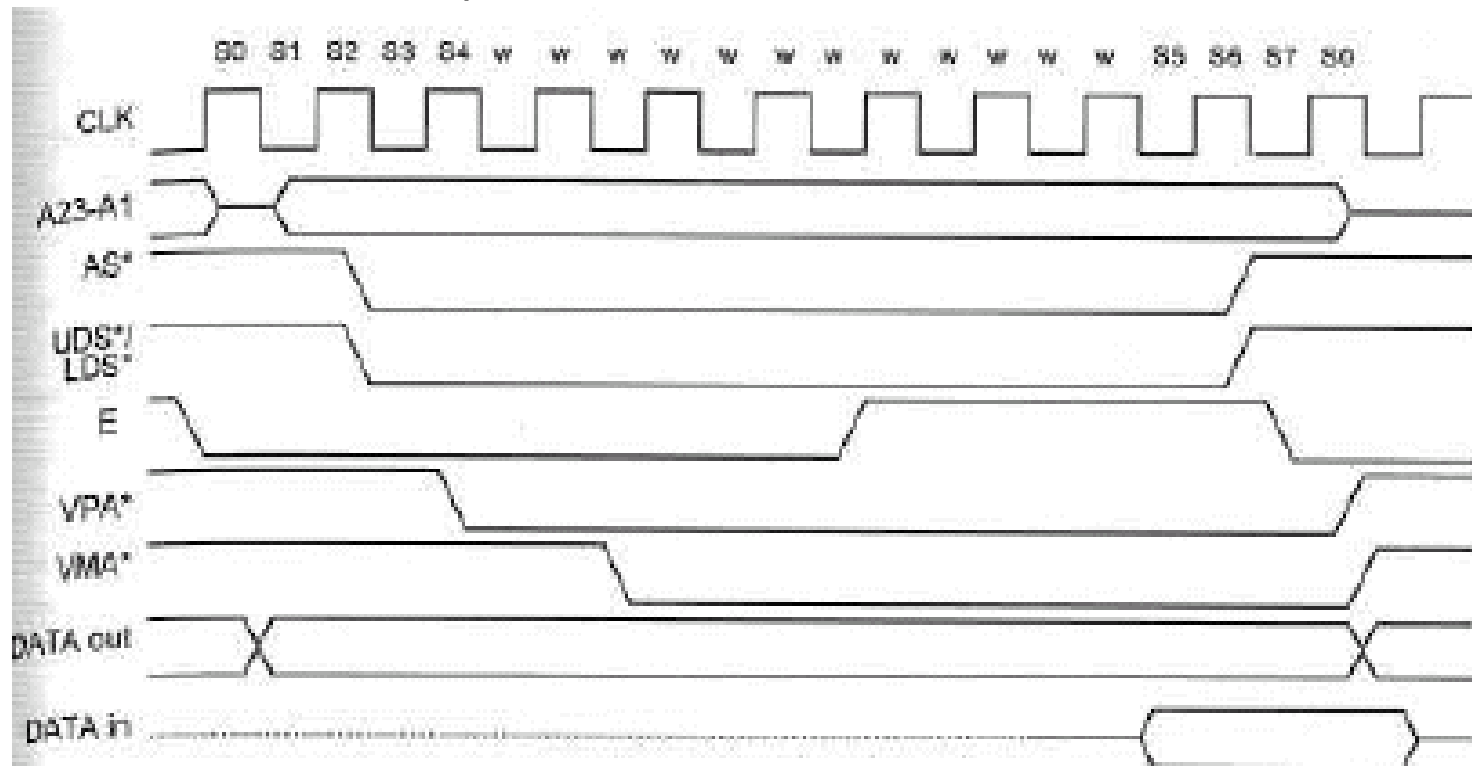
- #VPA. Entrada. Activa en bajo. Indica que:
  - 1) Se está direccionando periféricos síncronos y que el MC68000 debe sincronizarse con la señal E.
  - 2) Se debe utilizar vectorización automática.
- #VMA. Salida. Activa en bajo.

Su activación indica al periférico que dispone de una dirección válida y que el microprocesador está sincronizado con la señal E.

# Tema 4: Microprocesador MC68000

## Control del bus síncrono: diagrama de tiempos

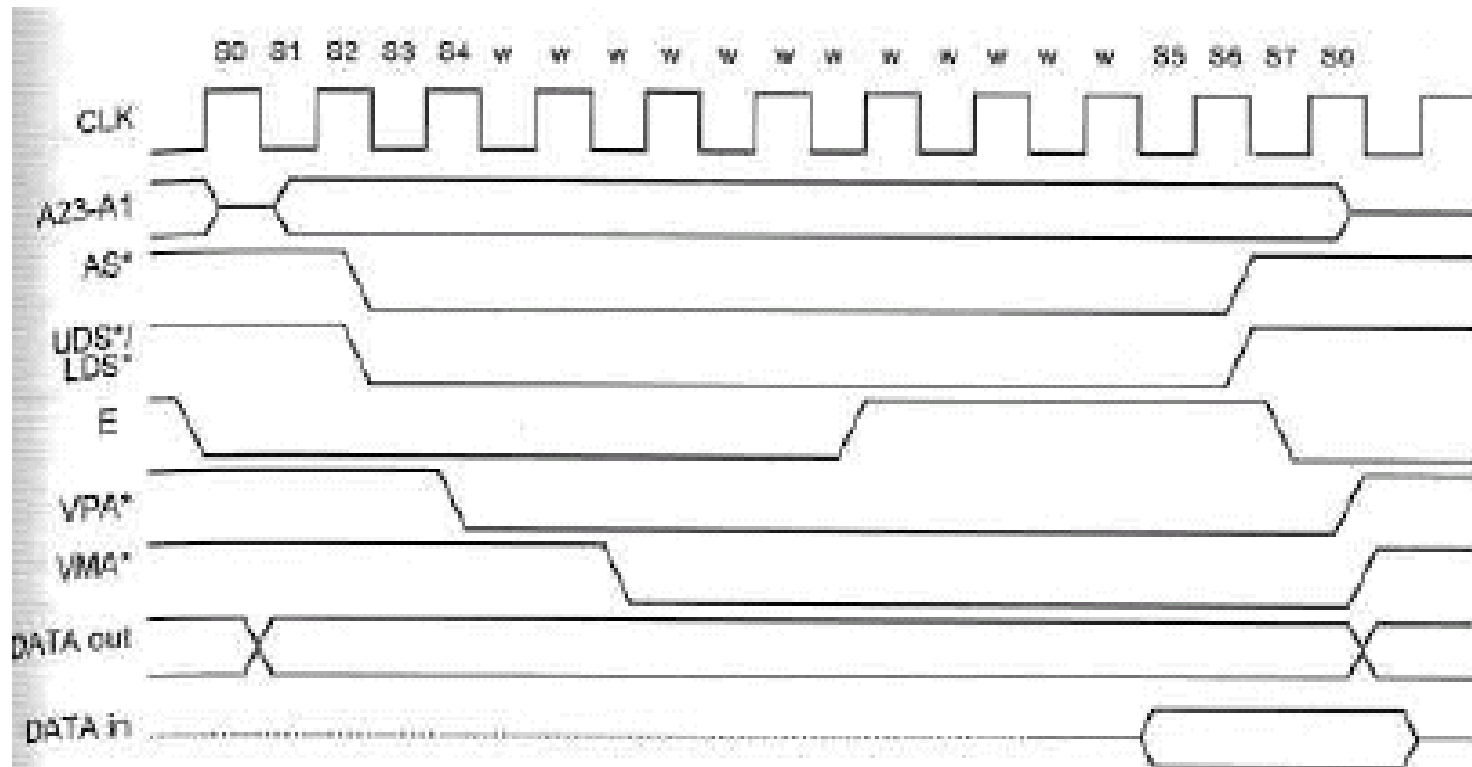
- El procesador inicia un ciclo normal de escritura o lectura
- Se activa /VPA indicando que se está accediendo a un periférico síncrono.
- El procesador espera hasta que la señal E pase a nivel bajo, entonces activa /VMA



# Tema 4: Microprocesador MC68000

## Control del bus síncrono: diagrama de tiempos

- El periférico espera hasta que E se active, entonces transfiere los datos.
- El procesador espera que E vuelva a 0 ( en un ciclo de lectura los dato son cargados), entonces desactiva primero /VMA y después /AS, /UDS y /LDS.

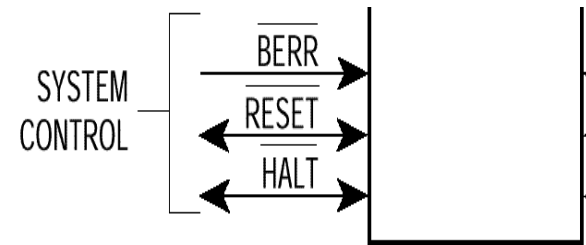
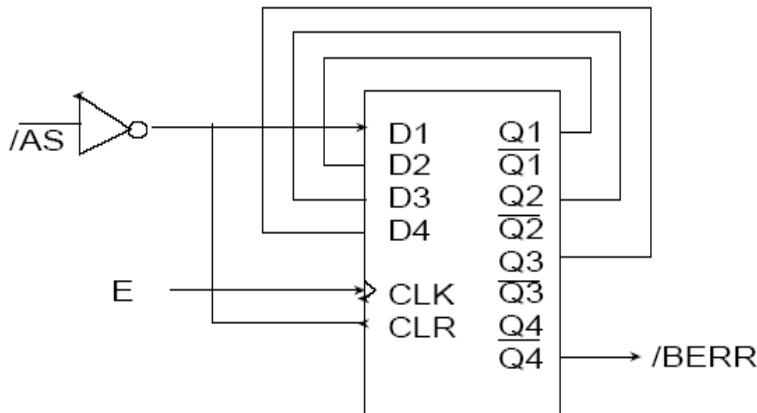


# Tema 4: Microprocesador MC68000

## Control del sistema: Bus Error Pin

**#BERR.** *Bus error.* Su activación avisa de la existencia de un problema en el ciclo de bus como consecuencia de:

1. Dispositivos que no responden.
2. Fallo de adquisición del número de vector de interrupción



- Un circuito externo debe controlar la duración entre la activación de #AS y #DTACK para determinar si activa, o no, #BERR.

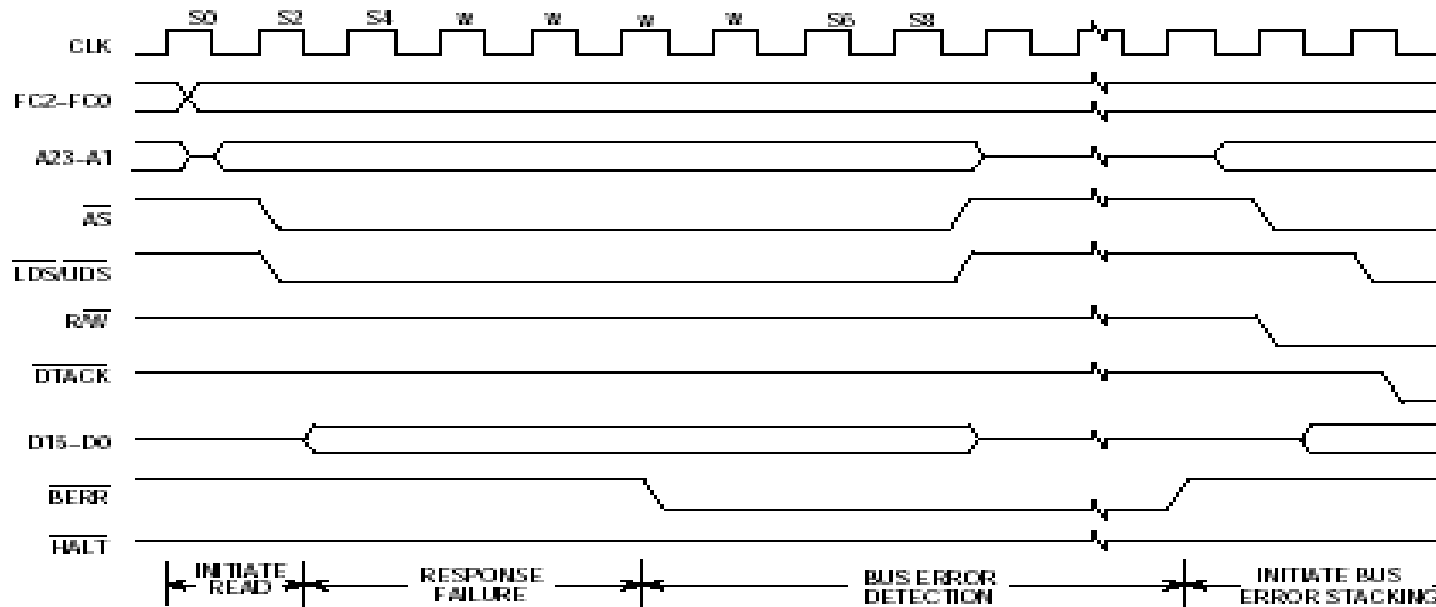
-Tras un BUS ERROR, se tienen dos opciones:

- a) Intentar realizar otro ciclo de bus
- b) Realizar un proceso de excepción



# Tema 4: Microprocesador MC68000

## Control del sistema: Bus Error



### Reintento del ciclo de bus

- Ocurre si se activó #BERR durante un ciclo en el cual estaba activo #HALT. Cuando se desactiva #HALT, el microprocesador reintenta el último ciclo de bus usando los mismos códigos de función, dirección y datos (para una operación de escritura).

# Tema 4: Microprocesador MC68000

## Control del sistema: Bus Error

### **Doble error de bus**

- Si se activa #BERR cuando #HALT está inactivo, el MC68000 inicia el procesamiento de una excepción.
- Si ocurre otro error de bus durante el proceso de excepción (antes de la ejecución de otra instrucción) el microprocesador para y coloca la línea de #HALT a 0. Esto se reconoce como doble error de bus. Únicamente mediante un reset externo se puede sacar el microprocesador de este estado de parada.

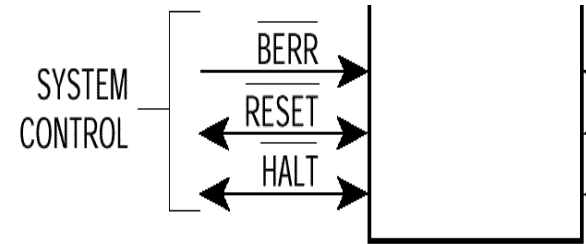
# Tema 4: Microprocesador MC68000

## Control del sistema: RESET

**#RESET.** Bidireccional.

- Como entrada, si se activa junto con HALT durante 10 ciclos de reloj o 10ms en power-up, se produce la secuencia de inicialización en la que el microprocesador responde leyendo el vector de reset de la tabla de vectores.

- Como salida, si se ejecuta la instrucción RESET, poniendo a 0 este pin durante unos ciclos de reloj.

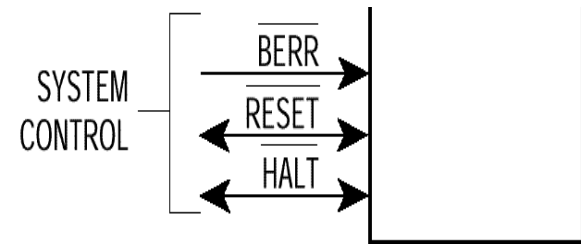


# Tema 4: Microprocesador MC68000

## Control del sistema: RESET

**#HALT.** Bidireccional.

- Como entrada, si se activa, provoca que el microprocesador pare el ciclo del bus actual.
- Como salida, cuando deja de ejecutar instrucciones (doble error de bus o instrucción STOP).

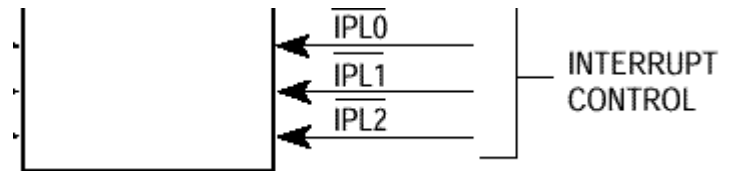


# Tema 4: Microprocesador MC68000

## Terminales de petición de interrupciones

### #IPL2-0. Entradas

-Codifican el nivel de petición de interrupción. El nivel 0, #IPLx(x=0,1,2)=1 indica que no hay interrupción, y el nivel 7, #IPLx(x=0,1,2)=0 indica la interrupción de mayor prioridad y que no es enmascarable.

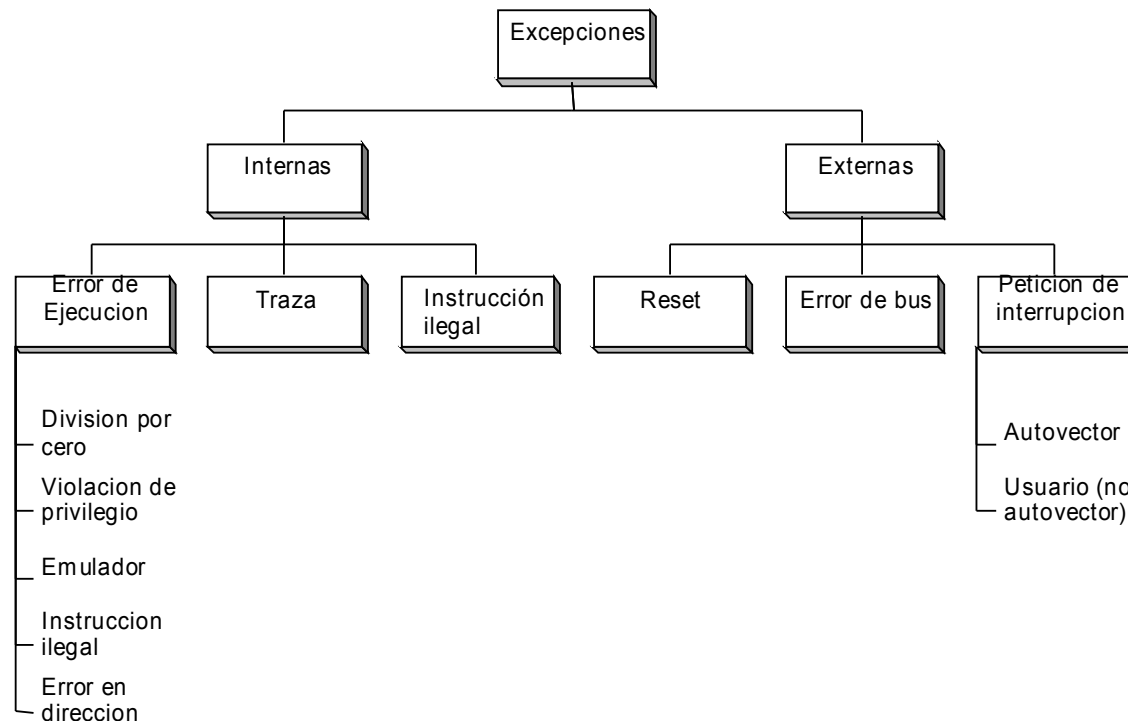


- Deben permanecer sin modificarse hasta que el microprocesador inicie el ciclo de reconocimiento de interrupciones.
- El nivel de interrupción que puede atender el microprocesador viene fijado por los bits I0,I1,e I2 del SR. Si el nivel de petición de interrupción es de mayor prioridad que el fijado por la máscara, se atenderá la petición salvo para la NMI (nivel 7) que se atenderá igualmente.

# Tema 4: Microprocesador MC68000

## Excepciones

- Las excepciones permiten interrumpir la ejecución normal de una secuencia de instrucciones para pasar a atender, de forma inmediata, la situación particular que las genera.
- Se clasifican en internas o externas según el origen de la situación particular.



# Tema 4: Microprocesador MC68000

## Excepciones: Vectores de excepción.

- Cada excepción tiene asociada un **vector de excepción** almacenado en una posición concreta de la memoria.
- Un vector de excepción es una dirección de memoria (puntero, doble palabra). Dicha dirección hace referencia a la posición de memoria que ocupa la primera instrucción de la **rutina de excepción**.
- Existen un total de **255** vectores de excepción almacenados en la **tabla de vectores de excepción** situada a partir de la dirección \$000000 de la RAM y con un tamaño total de 1Kbytes.
- Cada vector de excepción de la tabla es identificado por el **número de vector de excepción, N** (N varía de 0 a 255, byte). A partir de este N, el microprocesador determina la dirección de la RAM donde se encuentra el vector de excepción realizando la operación  $4*N$ .
- Los 64 primeros vectores están preasignados (aunque pueden sobreescribirse), los restantes quedan libres par su utilización.

# Tema 4: Microprocesador MC68000

## Excepciones: Tabla de vectores de excepción.

NÚMERO VECTOR	DIRECCIÓN		ASIGNACIÓN
	DECIMAL	HEX.	
0	0	000	Reset: SSP inicial
-	4	004	Reset: PC inicial
2	8	008	Error de Bus
3	12	00C	Error en dirección
4	16	010	Instrucción ilegal
5	20	014	División por cero
6	24	018	Instrucción CHK
7	28	01C	Instrucción TRAP
8	32	020	Violación de privilegio
9	36	024	Traza
10	40	028	Emulador línea 1010
11	44	02C	Emulador línea 1111
12	48	030	(No asignado, reservado)
13	52	034	(No asignado, reservado)
14	56	038	(No asignado, reservado)
15	60	03C	Vector de interrupción no inicializado
16-23	64-92	040-05C	(No asignado, reservado)
24	96	060	Interrupción espúrea
25	100	064	Autovector interrupción nivel 1
26	104	068	Autovector interrupción nivel 2
27	108	06C	Autovector interrupción nivel 3
28	112	070	Autovector interrupción nivel 4
29	116	074	Autovector interrupción nivel 5
30	120	078	Autovector interrupción nivel 6
31	124	07C	Autovector interrupción nivel 7
32-47	128-188	080-0BC	Vectores instrucción TRAP
48-63	192-252	0C0-0FC	(No asignado, reservado)
64-255	256-1020	1003FC	Vectores de interrupción de usuario)



# Tema 4: Microprocesador MC68000

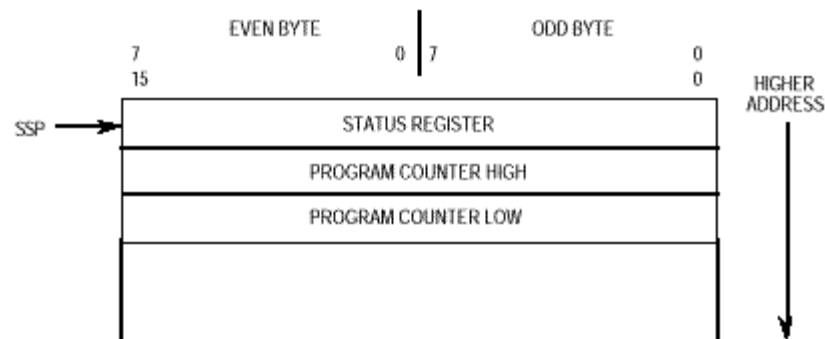
## Excepciones: Secuencia de procesamiento.

- La atención de una excepción debe cubrir:
  - a) Atención inmediata a la excepción, con interrupción, incluso, si la prioridad es alta, de la instrucción en curso.
  - b) La bifurcación a la dirección correcta de comienzo de la rutina de servicio de la excepción.
  - c) El retorno correcto a la secuencia de instrucciones interrumpida, una vez finalizada la rutina de servicio.
  
- Para conseguir estos objetivos, el procesamiento de una excepción por el MC68000 transcurre en una secuencia de pasos:
  1. El registro SR se copia en un registro interno. Se desactiva el modo traza y se activa el bit S por lo que el microprocesador entra en modo supervisor. Para excepciones asociadas a peticiones de interrupción, o a RESET, se actualiza el valor de la máscara de interrupciones I2-I0..

# Tema 4: Microprocesador MC68000

## Excepciones: Secuencia de procesamiento.

2. Se determina el número de vector de excepción por lógica interna, si es uno de los preasignados, o a partir de una búsqueda denominada "reconocimiento de interrupción", si se trata de una interrupción de usuario. A partir del número de vector se genera la dirección del vector de excepción.
3. Se salvan, en la pila del supervisor (SSP), los contenidos del contador de programa PC y del registro de estado SR. Primero se guarda PCL, seguido de PCH y SR.



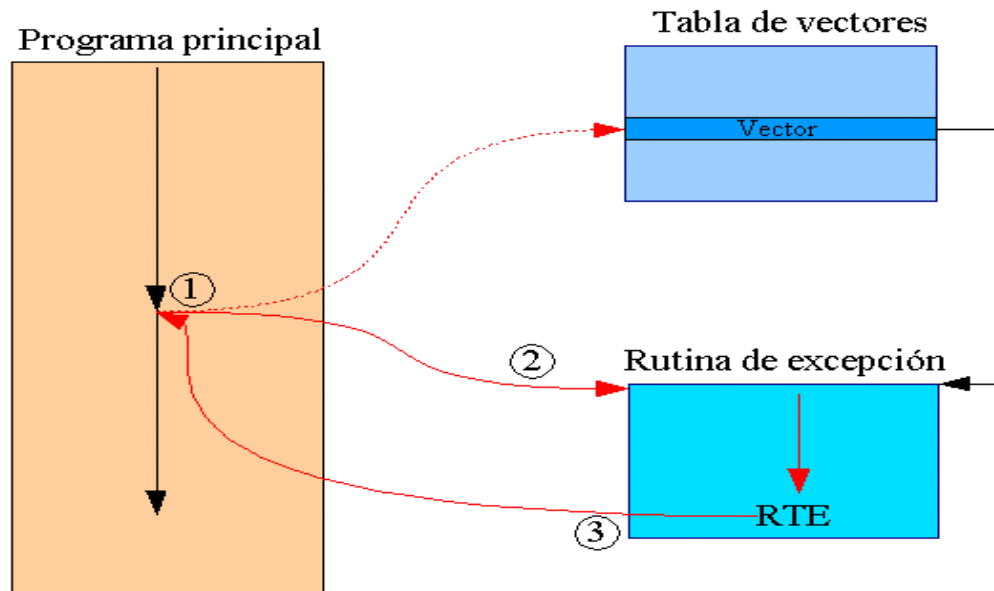
4. Se carga en el registro PC el contenido del vector de excepción..

# Tema 4: Microprocesador MC68000

## Excepciones: Secuencia de procesamiento.

El microprocesador ejecuta, a continuación, las instrucciones de la rutina de excepción, cuya última instrucción, RTE, permite recuperar de la pila SR, PCH y PCL y restaurar la ejecución desde el punto interrumpido.

EXCEPCIONES DESDE EL PUNTO DE VISTA DEL PROGRAMADOR



1. Generación de una excepción. El MC68000 debe obtener el número de vector de excepción y leer la vector correspondiente.
2. El procesador ejecuta la rutina de excepción.
3. Tras la última instrucción, RTE, el procesador vuelve al programa principal desde el punto donde fue interrumpido.

# Tema 4: Microprocesador MC68000

## Excepciones: Tipos de excepción.

- Existen grupos de prioridad en las excepciones y, aunque su procesamiento se realiza de la forma genérica descrita anteriormente, las acciones que toma el MC68000 antes de dar comienzo a dicho procesamiento son ligeramente diferentes para cada uno de estos grupos.

GRUPO Y PRIORIDAD	TIPO DE EXCEPCIÓN	ACCIÓN
0 Alta	Reset Error de BUS Error en dirección	Se aborta el ciclo de bus actual dentro de 2 ciclos de reloj
1	Traza Interrupción  Instrucción ilegal Instrucción no implementada Violación de privilegio	Comienza el procesamiento de la excepción cuando termina la instrucción actual  Comienza el procesamiento de la excepción cuando termina el ciclo de bus actual
2 Baja	TRAP, TRAPV,CHK División por cero	Comienza el procesamiento de la excepción cuando se ejecuta la instrucción

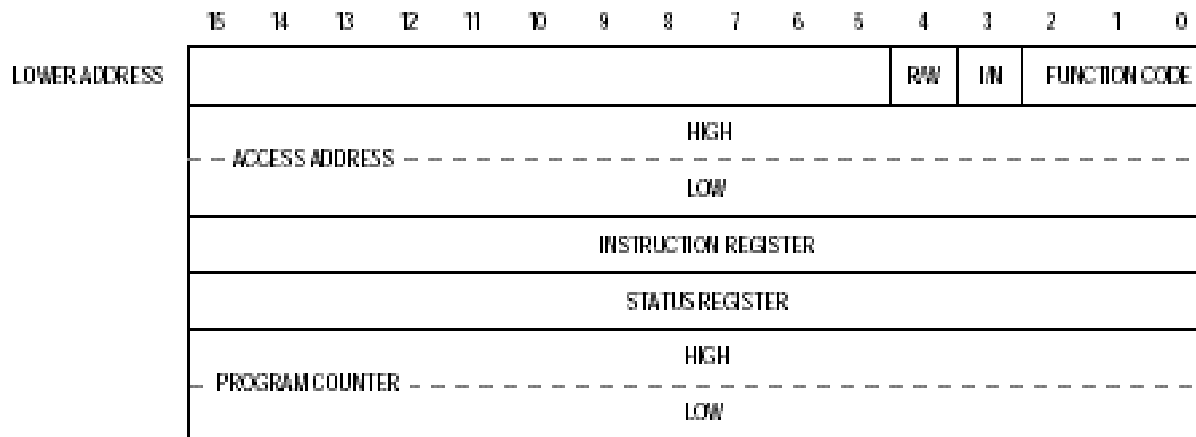
# Tema 4: Microprocesador MC68000

## Excepciones: Descripción de excepciones internas

- El procesamiento de las excepciones generadas internamente sigue el esquema general descrito en el apartado de secuencia de procesamiento de interrupción, salvo en el caso de error de dirección.

### Error de dirección (N=3)

- Se produce cuando el MC68000 intenta acceder a una palabra o a una palabra larga con una dirección impar.
- En la pila se guardan, además de los registros PC y SR, información adicional que ayude a la rutina de excepción a identificar la causa del error.



R/W (Read/Write): Write=0, Read=1. IN (Instruction/Not): Instruction=0, Not=1

# Tema 4: Microprocesador MC68000

## Excepciones: Descripción de excepciones internas

### **Instrucción ilegal (N=4)**

- Ocurre cuando al buscar la primera palabra de una instrucción, encuentra que no contiene ninguno de los códigos de operación válidos de su repertorio de instrucciones.
- La ejecución de la instrucción ILLEGAL tiene el mismo efecto.

### **Instrucción de emulación (N=10 y N=11)**

- Estos códigos de operación han sido reservados para extender el juego de instrucciones del MC68000 mediante emulación.
- Ocurre si los códigos de operación encontrados son las combinaciones 1010 o 1111. Para cada uno de ellos se bifurca a los vectores 10 u 11 respectivamente.

### **Violación de privilegio (N=8)**

- Se produce cuando se intenta ejecutar una instrucción reservada al modo supervisor con el bit S=0, es decir, en modo usuario.

# Tema 4: Microprocesador MC68000

## Excepciones: Descripción de excepciones internas

### División por cero (N=5)

- Se produce si se intenta utilizar un divisor igual a cero con las instrucciones DIVU o DIVS.

### Traza (N=9)

- El modo traza ("paso a paso") se activa cuando se pone a 1 el bit T del registro de estado SR.
- El procesador genera una excepción después de cada instrucción.

### Instrucción TRAP (N=32-47)

- El formato es TRAP #numero\_trap. Con *numero\_trap* un entero de 4 bits (0 al 15). El número de TRAP identifica uno de los 16 vectores de excepción asignados a esta instrucción.

- Proporciona una vía para acceder a rutinas genéricas almacenadas la memoria no volátil (llamadas a la BIOS) o en la implementación de puntos de ruptura.

# Tema 4: Microprocesador MC68000

## Excepciones: Descripción de excepciones internas

### **Instrucción TRAPV (N=7)**

- Situada inmediatamente después de una instrucción aritmética susceptible de producir desbordamiento (que pueda poner el código de condición V=1), produce una excepción en caso de que se produzca ese hecho.

### **Instrucción CHK (N=6)**

- Compara el contenido de un registro con un límite superior almacenado en un lugar especificado. Si el contenido del registro supera dicho límite, se produce la excepción.



# Tema 4: Microprocesador MC68000

## Excepciones: Descripción de excepciones externas

### RESET (N=0 y 1)

- Se da cuando se activa el terminal de RESET.
- Una excepción por RESET persigue un fin diferente al resto de la excepciones, inicializar el sistema, por tanto:
  - a) No tiene sentido guardar los valores del PC y el SR en la pila porque no se desea volver a recuperarlos.
  - b) Se carga un valor inicial en el registro SSP (vector 1) además del PC (vector 0).
  - c) Se inicializa el registro SR de la forma siguiente:
    - 1) Se desactiva el modo traza  $T=0$ .
    - 2) Se activa el modo supervisor:  $S=1$
    - 3) Se enmascaran todos los niveles de prioridad de interrupción:  $I2-I0=111$

# Tema 4: Microprocesador MC68000

## Excepciones: Descripción de excepciones externas

### **ERROR DE BUS (N=2)**

- Ocurre cuando se activa la entrada #BERR.
- El procesamiento es idéntico al de error de dirección salvo por el vector de interrupción.
- Si #BERR se activa nuevamente cuando se procesa la excepción de error de bus (doble error de bus) el 68000 para. En tal situación, sólo un RESET permite reanudar la ejecución de instrucciones.

# Tema 4: Microprocesador MC68000

## Excepciones: Descripción de excepciones externas

### INTERRUPCIONES

- Se producen mediante la activación de los terminales #IPL2-0 que codifican el nivel de petición (desde nivel 0, ausencia de petición, hasta nivel 7, máxima prioridad o NMI).
- Una interrupción se atiende si su nivel de petición supera al fijado en la máscara de interrupción (bits I2-0 del registro SR), excepto para el nivel 7, que siempre se atenderá.
- Si el MC68000 acepta una interrupción, se desencadenan los mismos procesos que los descritos para las excepciones, salvo que el número del vector de excepción se obtiene mediante un ciclo especial de lectura (**ciclo de reconocimiento de interrupciones**) y que los bits de máscara se actualizan al nivel peticionario.
- El ciclo de reconocimiento de interrupción es un ciclo especial de lectura en el que las salidas FC2,FC1,FC0 están todas a 1, y por los bits A3,A2,A1 del bus de direcciones se muestra el nivel de interrupción que la CPU va a procesar.

# Tema 4: Microprocesador MC68000

## Excepciones: Descripción de excepciones externas

### INTERRUPCIONES

- A partir de aquí pueden pasar varias cosas:

1) Se activa la entrada #VPA que identifica que la interrupción fue solicitada por un periférico síncrono. En tal caso, el microprocesador utiliza el autovector asociado al nivel de interrupción actual.

2) Se activa la entrada #DTACK. En este caso, el periférico, además de activar esa señal, ha colocado, en el bus de datos un byte que contiene un número de vector de excepción. Este número de vector debe estar comprendido entre 64-255, constituyendo los vectores de excepción de usuario.

3) Se activa la entrada #DTACK pero se recibe, como número de vector, el \$F. Esto da lugar a la interrupción no inicializada.

4) Se activa la entrada #BERR, o sea, no se ha recibido ningún vector de interrupción. Esto provoca la generación de la interrupción espúrea, que tiene, como número de vector de excepción, el 24.