

Ingeniería Técnica en Informática de Sistemas

Estructura de Computadores. 2ª prueba. 2009.

Apellidos:.....Nombre:.....

Duración: 2 horas

Calificación:

--	--

Problema 1. (6 puntos)

(a) Describa los pines \overline{IPL}_2 , \overline{IPL}_1 e \overline{IPL}_0 del 68000 y relaciónelas con los bits I_2 , I_1 e I_0 del registro de estado.

(b) Tras ejecutar la instrucción `MOVE #2300,SR` ¿cuál es el contenido de cada indicador (flag) del registro de estado? ¿Qué interrupciones serían atendidas?

(c) El registro D4 contiene C9AE23A5. ¿Cuál es su contenido tras ejecutar las siguientes instrucciones de forma independiente?

(c.1) `ASR.L #3,D4`

(c.2) `ROL.W #5,D4`

(d) Indique el rango de memoria que puede direccionarse mediante el modo absoluto corto. Indique también el rango direccionable mediante el modo absoluto largo. A continuación, indique qué modo de direccionamiento de entre estos dos es preferible usar para referirse a las siguientes direcciones de memoria:

(d.1) \$004000

(d.4) \$00CB00

(d.2) \$007C00

(d.5) \$140000

(d.3) \$008400

(d.6) \$EF0000

(d.7) \$FFE001

(e) Considere el siguiente trozo de código

`MOVEA.L #7000,A4`

`MOVE.B (A4)+,D0`

`MOVE.W (A4)+,D1`

(e.1) Indique cuántas palabras de código máquina ocupa cada instrucción. Justifique su respuesta.

(e.2) Teniendo en cuenta que el contenido de la memoria es:

\$7000	\$0025
\$7002	\$AE0F
\$7004	\$0026
\$7006	\$A0F0

Indique qué sucedería al ejecutar el código anterior.

Nota: Es imprescindible que las respuestas sean claras y suficientemente razonadas.

Problema 2. (4 puntos)

Se desea conectar memoria ROM y RAM a un sistema basado en el procesador 68000 de la siguiente forma:

- La ROM tiene un tamaño total de 160 KBytes y se ubica en la zona más baja del espacio de direcciones del 68000 (posición cero).
- La RAM del sistema tiene un tamaño de 256 KBytes y empieza en la posición \$210000.

Se cuenta con los siguientes chips de memoria:

- ROM: 2 chips de 16KB, 2 chips de 64KB.
- RAM: 4 chips de 32KB, 2 chips de 64KB.

Todos los chips tienen una entrada de selección de chip activa en nivel bajo (\overline{CS}_i). Los de RAM, además, disponen de una entrada R/\overline{W} que debe ponerse a 1 para leer del chip y a 0 para escribir en él.

Se pide que desarrolle con suficiente nivel de detalle los siguientes apartados.

(a) Distribuya los chips en el mapa de memoria, indicando claramente las direcciones cubiertas por cada uno de ellos.

(b) Calcule las ecuaciones de todos los CHIP SELECT.

(c) Haga un esquema en el que se muestre la conexión entre los chips de memoria, los buses del 68000 y el circuito de decodificación (no es necesario implementar este último).

(d) Indique razonadamente, para cada una de las siguientes instrucciones, qué señales de CHIP SELECT se activarán y a qué posición se accederá (dirección física) dentro del chip activado.

(d.1) MOVE.B \$20000,D1

(d.2) MOVE.B \$20001,D2

(d.3) MOVE.W \$18000,D3

(d.4) MOVE.L D4,\$1FFFE

(d.5) MOVE.L \$2811,D5

(e) Implemente un circuito, lo más simple posible, que genere las señales \overline{DTACK} y \overline{BERR} , suponiendo que los chips de memoria son lo suficientemente rápidos como para no necesitar nunca estados de espera.