

# REALIZACIÓN DE PRÁCTICAS DE ELECTRÓNICA DIGITAL CON UN ESQUEMA DE DOCUMENTACIÓN JERARQUIZADA

Carlos J. Jiménez Fernández<sup>1</sup>, Antonio Barbancho Concejero<sup>2</sup>, Manuel Valencia Barrero<sup>3</sup>

<sup>1</sup>Universidad de Sevilla - Instituto de Microelectrónica de Sevilla. [cjesus@imse.cnm.es](mailto:cjesus@imse.cnm.es)

<sup>2</sup>Universidad de Sevilla. [ayboc@us.es](mailto:ayboc@us.es)

<sup>3</sup>Universidad de Sevilla - Instituto de Microelectrónica de Sevilla. [manolov@dte.us.es](mailto:manolov@dte.us.es)

## RESUMEN

En esta comunicación se presenta la realización de una actividad teórico-práctica, encuadrada dentro del marco ECTS, para un primer curso de Electrónica Digital. Está ideada para desarrollarse en un entorno de bajo coste y de forma que el alumno tenga a su disposición ayudas a diferentes niveles (información jerarquizada). Partiendo de un problema sencillo de diseño digital secuencial, el alumno deberá diseñarlo teóricamente e implementarlo con componentes estándares, en sesiones de trabajo no tuteladas, y realizarlo y verificarlo en la herramienta WebPACK ISE de Xilinx, en una sesión tutelada de laboratorio. El alumno conoce por vez primera esta herramienta pero, lejos de ofrecerle un recetario de pasos a seguir, se le proporcionan los objetivos a alcanzar y una información genérica sobre los pasos del proceso de diseño que ha de realizar. Si ellos no le son suficientes, podrá acceder a información más detallada en el ordenador donde realiza la sesión práctica.

## 1. INTRODUCCIÓN

La planificación y realización de prácticas de laboratorio en asignaturas cuatrimestrales para alumnos de los primeros cursos de una carrera presenta muchas y conocidas dificultades. En primer lugar, un cuatrimestre es un espacio de tiempo muy corto, pues hay que dejar pasar alguna semana para haber impartido materia suficiente en las clases de aula con las que comenzar a realizar prácticas de laboratorio, a lo que se une la dificultad de incluir las últimas materias (normalmente, las más interesantes). En segundo lugar, por el elevado número de alumnos. En tercer lugar, para sesiones de prácticas basadas en software de diseño, es muy conveniente utilizar entornos de diseño comerciales. Sin embargo, estos entornos suelen ser más complejos y difíciles de utilizar, sobre todo cuando se plantean prácticas de tiempo limitado (típicamente, sesiones de 2 horas: la cuestión fundamental no es que sean 2 o 3 las horas, sino que suele ser siempre un tiempo corto). Esto obliga no sólo a diseñar prácticas muy sencillas, sino también a ofrecer al alumno una muy buena documentación para que aproveche al máximo su tiempo en el laboratorio. En muchos casos se tiende a suministrar al alumno un recetario de pasos a seguir con el fin de que puedan cumplir los objetivos de la práctica en ese período de tiempo. En esta situación, la realización de la práctica se reduce a una mera ejecución de pasos sin llegar a comprender, aunque sea de forma muy limitada, la metodología del diseño ni la filosofía de la herramienta.

En el modelo de enseñanza que se avecina, basado en los acuerdos de Bolonia y LOU, hay que cambiar algunos de los planteamientos seguidos hasta ahora como es la unidad de medida de carga docente que pasa a ser el *crédito europeo* (ECTS: European Credit Transfer and accumulation System, [1]). En este nuevo sistema de enseñanza y evaluación, las actividades van a estar necesariamente más dirigidas a los trabajos de los alumnos que a la

enseñanza del profesor. De aquí que una adecuada organización de las actividades prácticas deba contemplar no sólo las tareas presenciales del alumno en el laboratorio, sino también del desarrollo del trabajo individual propio. Además, el tiempo de estancia en una sesión de laboratorio tutelada va a verse reducido, por lo que será más importante aprovecharlo para ganar nuevas habilidades en lugar de practicar sobre las ya adquiridas.

Por otra parte, del mismo marco anterior cabe inferir que los mecanismos por los que los alumnos van a conocer las relaciones entre las diferentes partes de una materia, así como establecer comparaciones entre distintas técnicas y así obtener las conclusiones adecuadas, no van a estar fuertemente basados en la experiencia del profesor, sino fundamentados en el propio trabajo del alumno. De aquí que la planificación de las enseñanzas deba contemplar que el alumno pueda trabajar sobre una misma materia desde distintas perspectivas.

Por último, al menos en nuestro caso, la principal dificultad para equipar los laboratorios sigue siendo el bajo nivel de financiación de la Universidad. De aquí que la planificación de laboratorios intente basarse en entornos de bajo o ningún coste, procurando reutilizar recursos en diferentes actividades.

Con estos antecedentes, presentamos una propuesta con la que se resuelven o se reducen muchos de estos problemas. Se desarrollará al final del cuatrimestre. Básicamente se trata de que el alumno afronte un único problema (diseño de un circuito secuencial) desde la doble perspectiva, teórica y práctica, desarrollando ésta de dos formas diferentes. El trabajo individual del alumno se centra en la resolución teórica y en la implementación y test del circuito con componentes estándares durante sesiones ‘abiertas’ de laboratorio, ya que el alumno ha debido ganar la suficiente experiencia con este tipo de implementación durante el desarrollo del cuatrimestre. Por último, en sesión guiada de laboratorio, el alumno conocerá la herramienta de diseño para dispositivos programables de alta densidad (CPLDs o FPGAs, [2]) y resolverá con ella la implementación y test del circuito, lo que le permitirá comparar no sólo el proceso de diseño sino las diferentes características de ambas formas de implementación.

Habida cuenta de que las dos primeras son actividades habituales, en adelante nos vamos a centrar en la última: una práctica básica de diseño y simulación digital utilizando el entorno de diseño WebPACK ISE de Xilinx [3]. Este entorno de diseño presenta varias ventajas. En primer lugar, aún siendo un entorno gratuito, incluye todas las etapas de un proceso de diseño digital complejo: captura de esquemas, simulación funcional y simulación funcional. Incluye también las herramientas de traslación del diseño a una CPLD o FPGA y de programación de dichos dispositivos. El objetivo preferente debe ser implementar realmente el diseño sobre CPLD/FPGA<sup>1</sup>. No obstante, aún no disponiendo de las placas con CPLD/FPGA, la práctica que proponemos es muy útil y permitirá usar incluso la herramienta de traslación a una CPLD/FPGA para poder realizar la simulación temporal. En segundo lugar es un entorno en el que se integran todas las herramientas, haciéndolo suficientemente fácil de aprender y utilizar.

En lo que sigue de comunicación se presenta en primer lugar y de forma breve el conjunto de prácticas de laboratorio que realizan los alumnos dentro de la asignatura Electrónica Digital en la que se encuadra esta experiencia de práctica. Posteriormente se explica de forma más detallada la práctica que se plantea, presentando el problema de diseño, su solución y su realización en el entorno WebPACK ISE de Xilinx. Por último, resumiremos las principales conclusiones de este trabajo.

---

1. Algunas casas comerciales suministran gratuitamente estos componentes. El componente que sea suministrado será aquél con el que se haga la implementación final.

## 2. ENTORNO EN EL QUE SE PLANTEA LA PRÁCTICA

La práctica se encuadra dentro de la asignatura Electrónica Digital de primer curso del título de Ingeniero Técnico Industrial en Electrónica Industrial. Tiene carácter cuatrimestral y se imparte durante el segundo cuatrimestre. Del total de 6 créditos disponibles, 3 son de teoría, 1'5 de problemas y 1'5 de prácticas de laboratorio. La docencia de laboratorio se ha distribuido de tal forma que los alumnos realizan una práctica de dos horas cada dos semanas.

Esta asignatura debe sentar las bases de las de siguientes cursos. Los objetivos que se plantean son los siguientes:

- Manejo del instrumental de laboratorio: fuente de alimentación, osciloscopio y generador de señales.
- Identificación de los terminales de un chip; su montaje en un circuito.
- Adquisición de las técnicas de operación en laboratorio: orden de encendido de instrumentos, limpieza de la zona de trabajo, ...
- Aprendizaje y práctica de técnicas de diagnóstico y solución de fallos.
- Identificación y resolución de problemas asociados a las características reales de las puertas lógicas (azares, niveles de tensión, corrientes de carga, ...)
- Diseño, montaje y análisis de distintos tipos de circuitos, usando puertas lógicas, biestables y subsistemas.
- Aprendizaje de un simulador lógico.

Con estos objetivos se han montado seis prácticas que van aumentando su complejidad de manera progresiva. En todas ellas, y para incentivar que los alumnos trabajen el tema antes de asistir al laboratorio, se les pide que realicen un estudio teórico que deben presentar antes de entrar en el laboratorio. Además del estudio teórico, cada práctica consta de un estudio previo y un estudio práctico.

El estudio previo es una documentación que se le proporciona al alumno para poder realizar la práctica. Pueden ser conceptos no tratados en clase o bien otros que a pesar de haberse tratado en la teoría se ha visto conveniente recordarlos.

En el estudio teórico se les pide que diseñen un circuito o que calculen teóricamente parte de la solución de la práctica en cuestión. Como se ha dicho antes, el objetivo es incentivar el trabajo previo del alumno y que, de esa forma, aproveche el tiempo en el laboratorio. Por tanto, no es tan importante la corrección de los resultados de este estudio, como su comprobación durante la sesión práctica; en caso de error los pueden corregir y entregar como parte del estudio práctico.

El estudio práctico consiste en montar los circuitos diseñados en el apartado anterior y comprobarlos experimentalmente. Además, se les suele pedir que dibujen, en plantillas suministradas a tal efecto, formas de onda capturadas por el osciloscopio.

El catálogo de prácticas es el siguiente:

- Práctica 1: Familiarización con el instrumental de laboratorio.  
Objetivos: Familiarización con el instrumental de laboratorio (fuente de alimentación, generador de señales, osciloscopio) y montaje de un circuito sencillo con puertas lógicas.
- Práctica 2: Circuitos combinacionales con puertas lógicas.  
Objetivos: Diseño de un circuito combinacional con puertas lógicas; implementación con un sólo tipo de puertas; montaje y comprobación de su funcionamiento. Estudio de los azares.

- Práctica 3: Características reales de las puertas lógicas.  
Objetivos: Caracterización de puertas de distintas familias lógicas. Estudio de sus características temporales y eléctricas.
- Práctica 4: Funciones combinacionales con subsistemas.  
Objetivos: Diseño, montaje y comprobación de un circuito combinacional con subsistemas combinacionales. Conexión de terminales no empleados en el diseño.
- Práctica 5: Circuitos secuenciales síncronos.  
Objetivos: Diseño, montaje y comprobación de un circuito secuencial con biestables y puertas.
- Práctica 6: Simulación de circuitos digitales.  
Es la práctica objeto de este artículo.

### 3. REALIZACIÓN DE LA PRÁCTICA

A los alumnos se le presenta una documentación estructurada en la que se le plantean los objetivos a conseguir y una breve presentación de las herramientas a emplear junto con los comandos más comunes de cada una de estas herramientas. La figura 1 muestra el diagrama de flujo con los distintos pasos a realizar en esta práctica. En el estudio teórico deberán realizar el diseño del circuito que será llevado a cabo en el laboratorio.

#### 3.1. Diseño a realizar

El objetivo de la práctica consiste en diseñar un circuito que cuente de forma síncrona los pulsos que le llegan por una entrada. Para incrementar la cuenta deberá detectarse con el flanco de subida de reloj un valor de “1” en la entrada tras haberse detectado un valor de “0”. Este problema se puede solucionar de muy diversas maneras. Una de ellas consiste en el empleo de contadores en los que la señal de entrada se conecta a la entrada de reloj. Otra alternativa es su diseño mediante máquinas de estado síncrona. Se ha optado por esta última alternativa, pues permite aplicar la forma general de diseño secuencial que los alumnos han aprendido en las clases de aula. Con objeto de que la máquina de estados tenga un tamaño que no sea muy grande y que, además, el circuito resultante tenga una complejidad tal que pueda ser realizado por los alumnos en el tiempo de que disponen en esta práctica, el número de pulsos a contar se ha fijado en cuatro.

La figura 2 muestra mediante un diagrama temporal el comportamiento deseado para el diseño, así como el diagrama de estados que lo implementa y las ecuaciones que gobiernan tanto las entradas de los biestables como las salidas del circuito. El número de estados requeridos para describir el comportamiento de este diseño es de 8, por lo que se necesitan tres biestables.

#### 3.2. Arranque del entorno

En cualquier grupo de alumnos, y sobre todo en alumnos de primer curso, la gran mayoría de ellos no tiene experiencia previa en herramientas de CAD, por lo que el propio proceso de arranque de la herramienta supone en sí un paso que entraña bastante dificultad. El flujo de diseño en la herramienta WebPACK ISE de Xilinx se controla desde una ventana denominada

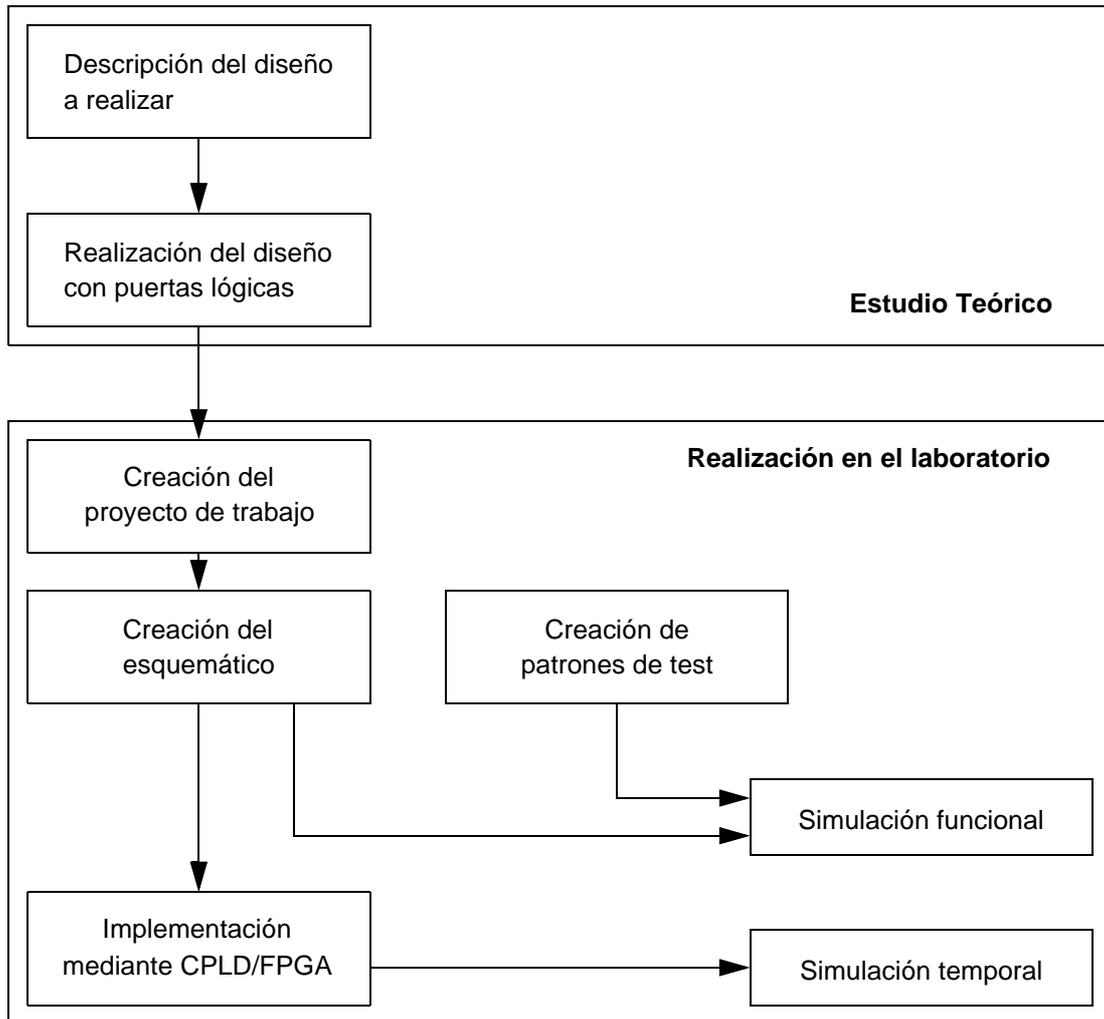


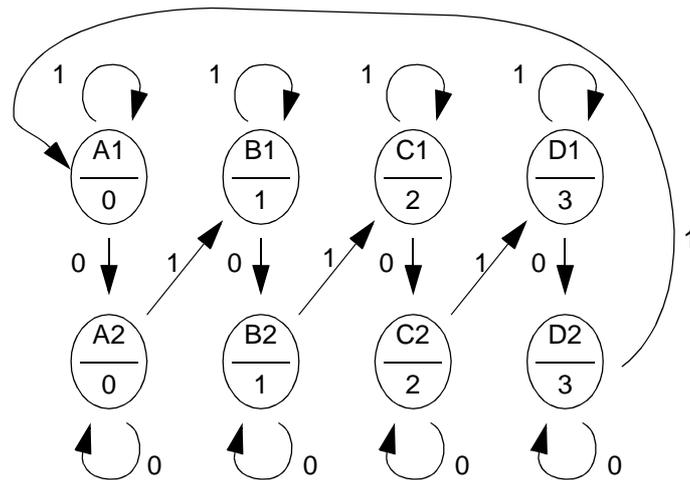
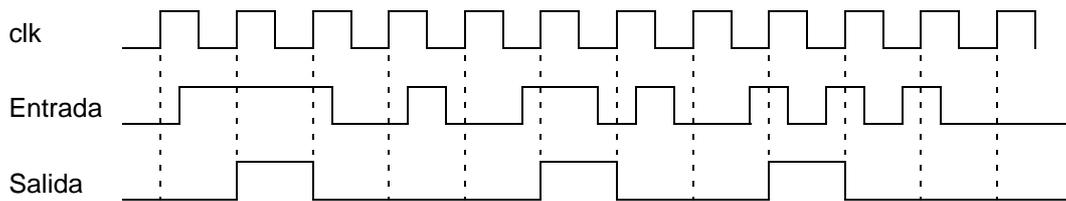
Figura 1: Diagrama de flujo

“project navigator”, mostrada en la figura 3. Se pretende en esta parte que los alumnos se detengan algún instante en esta ventana y que conozcan los distintos elementos que contiene.

Se les explica las tres partes en las que se divide esta ventana. En la parte superior izquierda aparecen los componentes relativos al proyecto activo. En él aparecen los distintos diseños y su estado de ejecución. En la parte superior derecha se abrirán los distintos programas y en la parte inferior irán apareciendo los mensajes.

### 3.3. Creación de un proyecto

Los diseños a realizar en del entorno WebPACK ISE de Xilinx han de realizarse dentro de un proyecto, por lo cual lo primero que hay que hacer dentro del “project navigator” es crearlo. En este momento se le proporciona al alumno toda la información que tenga que ir introduciendo. Además del nombre y de la ubicación, hay que escoger la familia y el dispositivo concreto sobre el que se va a implementar el diseño, el tipo de descripción que se va a emplear para el



$$\begin{aligned}
 Q_1 &= \bar{q}_3 \bar{q}_2 \bar{x} + q_1 x + q_3 q_2 \bar{x} & z_1 &= \bar{q}_3 q_2 + q_3 \bar{q}_2 \\
 Q_2 &= \bar{q}_3 q_1 x + q_2 \bar{x} + q_2 \bar{q}_1 & z_2 &= q_3 \\
 Q_3 &= q_2 \bar{q}_1 x + q_3 q_1 + q_3 \bar{x}
 \end{aligned}$$

Figura 2: Diagrama temporal del diseño, diagrama de estados y ecuaciones características.

módulo más alto de la jerarquía, herramientas a emplear en la síntesis y la simulación. La práctica se propone realizarse sobre un dispositivo de la familia XC9500 por ser la familia de dispositivos más pequeños y de más bajo coste y la introducción del diseño mediante captura de esquemas por ser la forma más parecida a la del montaje con C.I.'s estándares.

### 3.4. Creación del esquemático

La creación del esquemático es el paso más complejo de esta práctica, pues involucra diversas tareas y porque siguiendo el esquema propuesto de evitar darle al alumno un “recetario” de pasos a seguir, y en su lugar ofrecerle una documentación estructurada de forma jerárquica, en la documentación que se le ofrece aparecen los objetivos a conseguir y los comandos más comunes: colocar un componente, añadir líneas de interconexión, colocar los *pins* de entrada y salida, cambiar nombres, poner etiquetas, etc.

También se les informa del nombre de la celda que tienen que emplear para cada una de las puertas lógicas y biestables que han de utilizar para la realización del estudio teórico.

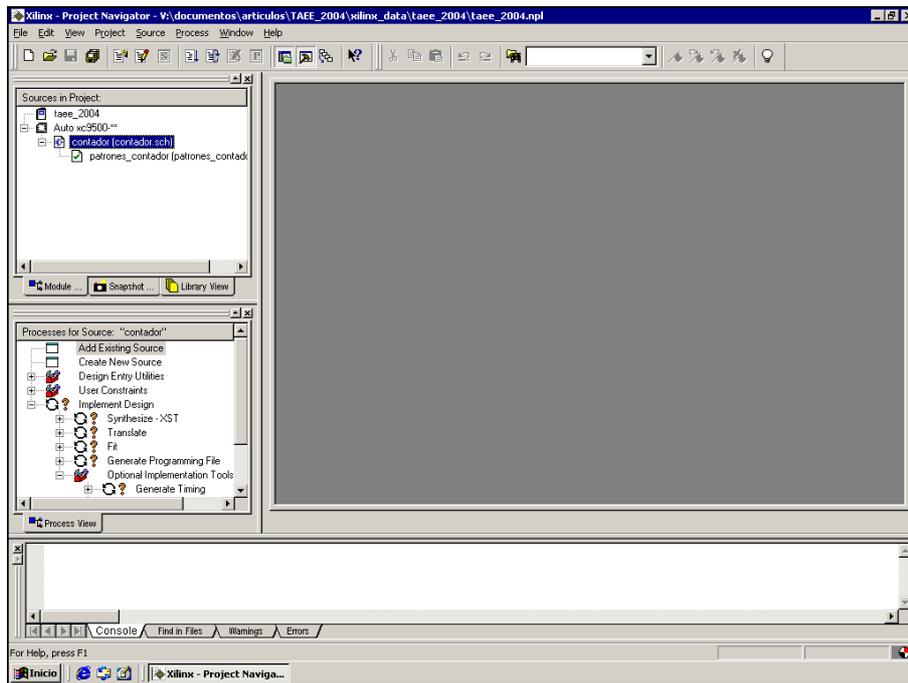


Figura 3: Ventana del “project navigator”.

Dos diferencias importantes aparecen con respecto al diseño realizado en el estudio teórico. En primer lugar, los biestables D de la librería de la familia 9500 no poseen la salida complementada, por lo que en el esquemático habrá que introducir un inversor para obtenerla. La segunda diferencia con respecto al diseño realizado en el estudio teórico es que los biestables D tienen una señal de “clear” asíncrono activo en alto que deberán conectar como una entrada más del circuito.

Toda esta información debería ser suficiente para que el alumno pudiera realizar el diseño. Sin embargo, para el caso que no lo consiguiera, se le ofrecen alternativas para buscar aquella información. La primera alternativa es la utilización de la ayuda de la propia herramienta. También se han puesto a disposición tutoriales creados por Xilinx [4] en los que se explica de forma muy detallada los pasos a seguir. Téngase en cuenta que se pretende que el alumno utilice esta ayuda como forma de solucionar problemas puntuales. Estos mecanismos de ayuda presentan el inconveniente de estar en Inglés, lo que puede ser un problema para algunos alumnos que no lo dominen. Por ello se ha creado además una documentación específica en la que se entra a explicar con más detalle algunos comandos, opciones, etc.

Finalmente se les recuerda que antes de salir de la aplicación hay que salvar en el disco duro el esquemático creado. La figura 4 muestra una posible realización del diseño en el entorno de captura de esquemas.

### 3.5. Creación de los patrones de simulación

Una vez creado el esquemático y antes de poder simularlo hay que crear unos patrones de simulación. Al tener este circuito tres entradas, de las cuales únicamente una es una entrada de

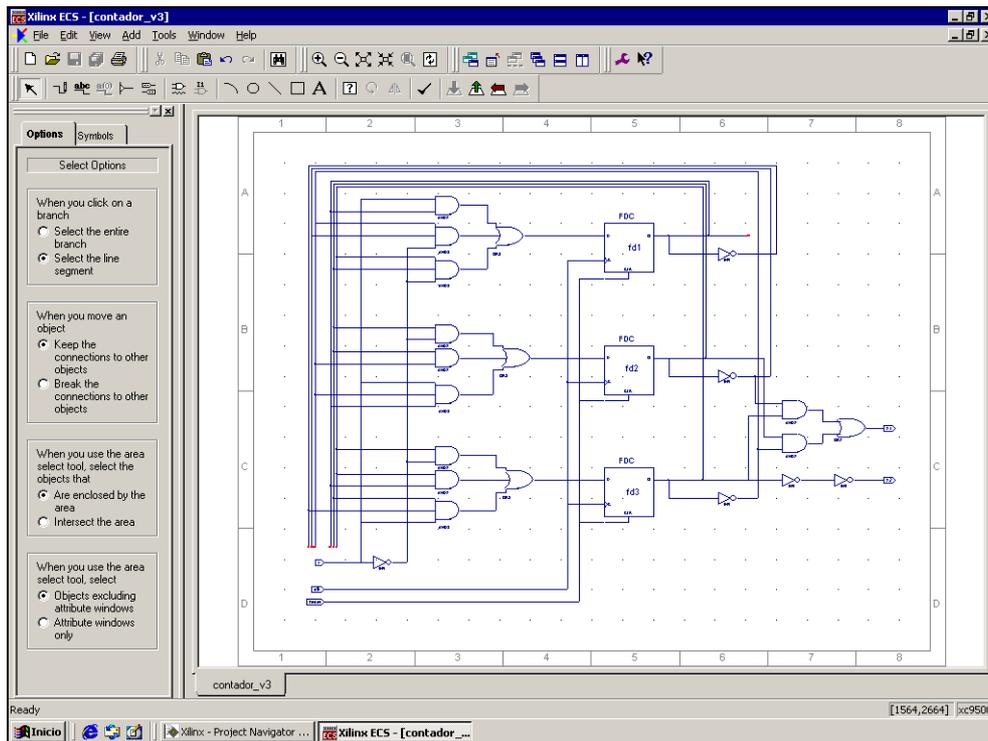


Figura 4: Captura de esquemas

datos, porque las otras son una señal de reloj y un *clear* asíncrono, los requerimientos para la creación de los patrones de simulación no son muy importantes. Por ello únicamente se dan una serie de recomendaciones genéricas para la creación de dichos patrones de simulación. Así se les recomienda que la simulación comience con una activación del *clear* asíncrono y que después vayan introduciendo valores en la entrada para probar las posibles situaciones.

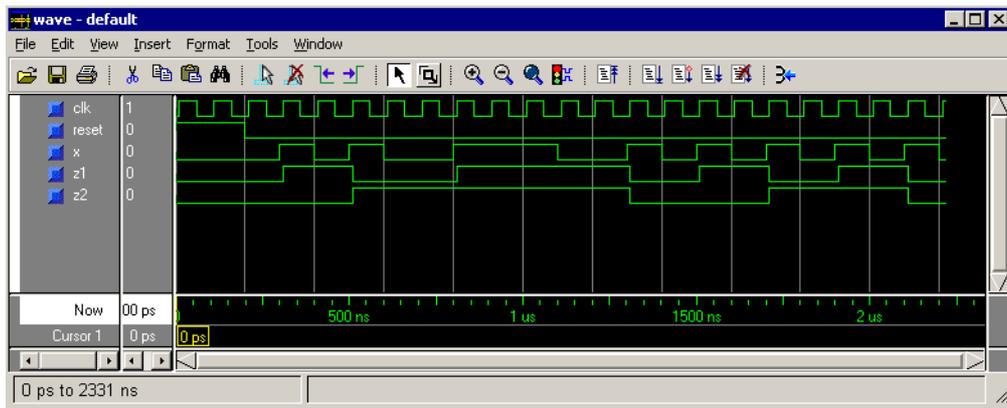
A la hora de generar el fichero con los patrones de simulación hay que tener en cuenta que el diseño tiene una entrada de reloj, para la cual se mantiene el valor por defecto 100ns de período.

### 3.6. Simulación funcional

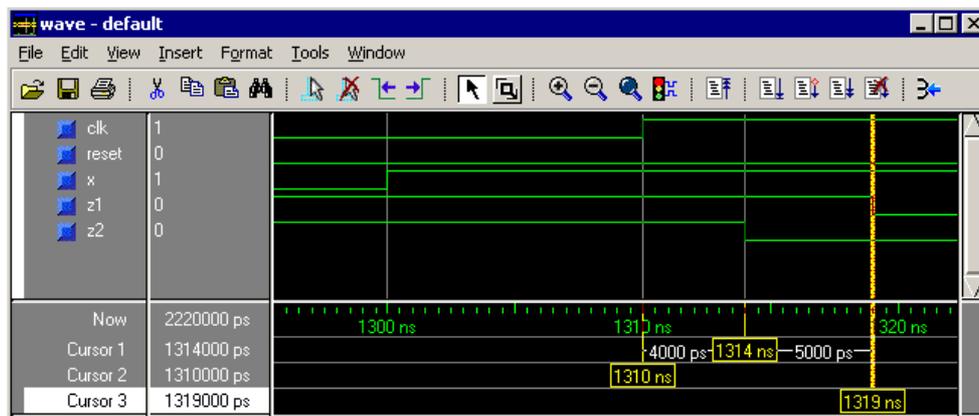
La simulación funcional se realiza empleando el simulador *Modelsim*. Este paso es uno de los más sencillos, puesto que la configuración de la herramienta arranca el simulador y abre las ventanas necesarias. Los únicos pasos que hay que realizar son que el simulador avance el tiempo requerido por los patrones creados y analizar los resultados en la ventana de formas de onda. Un resultado de simulación con unos patrones se muestra en la figura 5 (a).

### 3.7. Proceso de implementación

El proceso de implementación es totalmente automático, por lo que únicamente hay que activar el comando de implementación.



(a)



(b)

Figura 5: Resultados de simulación, a) funcional, b) temporal.

Hay que poner atención de que se haya generado también el modelo de simulación del circuito implementado.

### 3.8. Simulación temporal

La simulación temporal sólo se diferencia con la simulación funcional en el modelo del diseño. Por lo demás usa también el simulador *Modelsim* y los mismos patrones de simulación. Los resultados deberán ser funcionalmente idénticos a los obtenidos en la primera simulación. El alumno deberá pues volver a comprobar el correcto comportamiento funcional del circuito y además medir con ayuda de los cursores los retrasos de las señales de salida con respecto a la señal de reloj. En la figura 5 (b) se muestra una captura de cómo pueden ser medidos estos retrasos.

## 4. CONCLUSIONES

Con esta práctica se pretende introducir a alumnos de primer curso de Electrónica Digital en general y de Ingeniería Técnica Industrial en particular en el uso de entornos de diseño comerciales de circuitos electrónicos. Se trata de unas actividades que combinan, por un lado, la teoría, la simulación y las prácticas reales y, por otro, las actividades tuteladas junto con las de trabajo personal del alumno. Esta metodología, además de enriquecer la adquisición por el alumno de capacidades más complejas (análisis, síntesis y evaluación), hace que la actividad propuesta sea inmediatamente aplicable al sistema ECTS. Las actividades han sido ideadas para que sean absolutamente factibles en la práctica totalidad de laboratorios universitarios de electrónica actuales y en una sola sesión tutelada de 2 horas de duración.

Dentro de las limitaciones que imponen las dos horas en las cuales se ha de realizar la práctica y que los alumnos cursan primer curso, se ha propuesto emplear el entorno de diseño WebPACK ISE de Xilinx que, aunque de distribución gratuita, ofrece la posibilidad de seguir un flujo completo de diseño desde captura de esquemas hasta simulación temporal. Se ha propuesto la realización de un diseño sencillo y una estructura de documentación jerarquizada, de forma que el alumno no siga un “recetario” sino que, en la medida de lo posible, conozca el objetivo y vaya aprendiendo los pasos a realizar para conseguir dicho objetivo. Además, al llegar al dispositivo final (CPLD/FPGA) toman contacto con un mundo tecnológico que supone un gran salto cualitativo (decenas de pines, encapsulados distintos a los DIP, etc.) con respecto a los montajes con C.I. integrados estándares que conocían hasta entonces.

## 5. BIBLIOGRAFÍA

- [1] ANECA: Programa de Convergencia Europea: El Crédito Europeo.
- [2] A. Lloris, A. Prieto y L. Parrilla: “Sistemas Digitales”. Ed. McGraw-Hill Interamericana, 2003.
- [3] [www.xilinx.com](http://www.xilinx.com)
- [4] Xilinx University Program: [www.xilinx.com/univ/](http://www.xilinx.com/univ/)