

Apellidos:.....**SOLUCIÓN**.....

T1	T2	T3	T4	P1	P2

Nombre:.....

TEORÍA (Cada pregunta vale 1 punto)

1.- Tipos de salida de los circuitos digitales.

SOLUCIÓN

Salidas push-pull o totem-pole, a drenador/colector abierto y triestado.

CRITERIO DE CORRECCIÓN

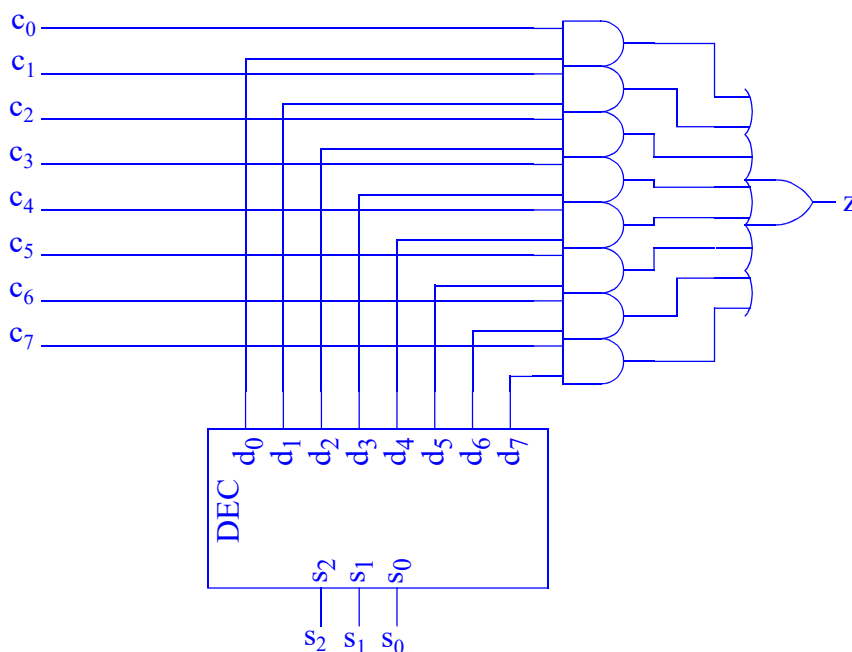
2.- Realice un MUX8:1 usando DEC y puertas.

SOLUCIÓN

Por simplicidad, supongamos un MUX4:1. Su ecuación de salida sería:

$$z = \overline{c_0} \overline{s_1} s_0 + c_1 \overline{s_1} s_0 + c_2 s_1 \overline{s_0} + c_3 s_1 s_0$$

Donde puede observarse que la expresión conserva todos los mintérminos de las señales de selección $s_{1:0}$, cualificados con los canales del MUX. Dichos mintérminos pueden ser generados por un DEC2:4. Volviendo al MUX8:1, además del DEC3:8 se necesitarían 8 puertas AND2 y una OR8.



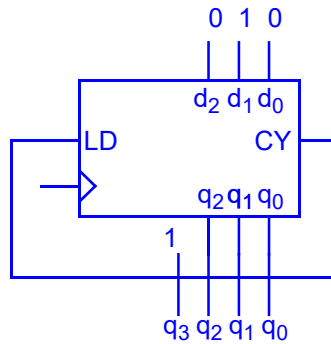
CRITERIO DE CORRECCIÓN

3.- Dispone de puertas y un contador ascendente módulo 8 con salida carry y entrada de carga en paralelo síncrona. Diseñe un contador módulo 6 que cuente de 10 a 15.

SOLUCIÓN

Un contador módulo 6, en general, se puede expresar con 3 bits. Sin embargo, el que se pide necesita 4 bits, dados los estados por los que pasa: 1010, 1011, 1100, 1101, 111 y 1111. Se podría usar el contador para recorrer los estados 0 a 5 y añadir un CC a su salida que sumara 10 unidades. Sin embargo, se puede observar que el bit más significativo de los estados de cuenta es siempre 1. Eso nos permite una solución más sencilla en la que dicho bit siempre

sería 1 y el contador aportaría los otros 3 bits, cuyos estados sería del 010 al 111. En resumen, el contador contaría desde el estado 2 al 7. Aprovecharíamos la salida de carry para detectar el último estado y la usaríamos para cargar el primer estado de cuenta, el 2:



CRITERIO DE CORRECCIÓN

4.- Compare una NVRAM con una EEPROM. Ventajas e inconvenientes de cada una de ellas.

SOLUCIÓN

NVRAM

- Ventajas:
 - No hay que borrar antes.
 - Mismo procedimiento de escritura que de lectura (velocidad, señales, tensiones,...)
 - Número de escrituras ilimitado
- Inconvenientes:
 - Necesidad de almacenamiento de carga adicional a la fuente de alimentación principal (superCAP o batería de litio). Excepto memoria FRAM.
 - Capacidad de retención de memoria si alimentación limitada.
 - Poco disponible en cuanto a fabricantes y tamaños.

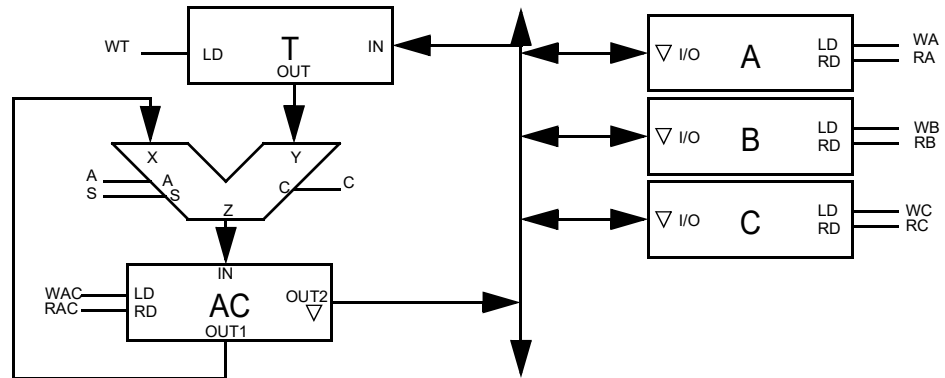
EEPROM:

- Ventajas:
 - Capacidad de retención de memoria sin alimentación prácticamente ilimitada.
 - Barata y ampliamente disponible.
 - Más pequeña a no tener que integrar el almacenamiento de energía.
- Desventajas:
 - Requiere tensiones especiales para borrado y grabado (las más modernas las generan internamente).
 - Requiere procedimientos especiales de programación (tensiones, líneas, tiempos) lo que impide que se llame escritura.
 - Obligación de borrar antes de programar.
 - El borrado es de toda la memoria o de bloques grandes; nunca de una palabra.
 - Número de borrados limitado.

CRITERIO DE CORRECCIÓN

PROBLEMAS (Cada pregunta vale 3 puntos)

1.- Para la unidad de datos de la figura:

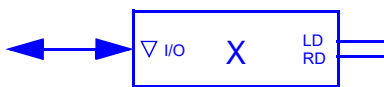


- [20%] Describa a nivel RT los registros AC y A.
- [50%] Suponiendo números sin signo, diseñe la carta ASM (unidad de datos y unidad de control) de un circuito que permita realizar las siguientes cuatro macrooperaciones en función de dos bits de entrada I_1I_0 : $A \leftarrow A+2B$; $A \leftarrow A-2B$; $C \leftarrow A-2B$; $C \leftarrow 2A+2B$.
- [30%] Realice la implementación de la UC usando la técnica de un biestable por estado.

SOLUCIÓN

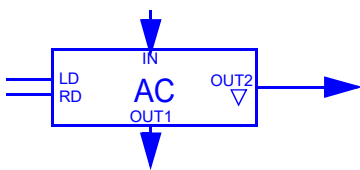
a) Descripción RT:

Registro X (A, B y C):



LD RD	$X \leftarrow$	I/O =
00	X	HiZ
01	X	[X]
1-	I/O	I/O

Registro AC:



LD RD	$AC \leftarrow$	OUT1 =	OUT2 =
00	AC		HiZ
01	AC		[AC]
10	IN	[AC]	HiZ
11	IN		[AC]

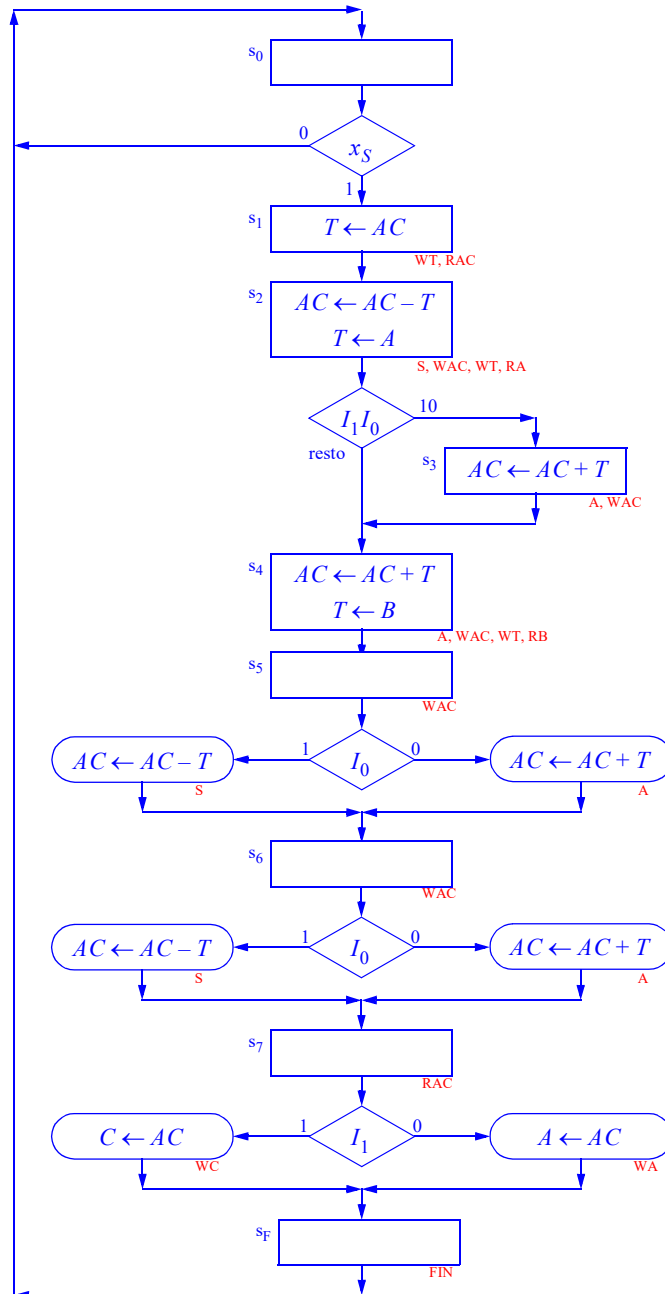
- b) La asignación de códigos de macrooperaciones se realizará de forma que simplifique la posterior carta ASM. I_1 indicará el destino (0 para A, 1 para C) e I_0 la operación (0 para suma y 1 para resta).

I_1I_0	Macrooperación
00	$A \leftarrow A + 2B$
01	$A \leftarrow A - 2B$
10	$C \leftarrow 2A + 2B$
11	$C \leftarrow A - 2B$

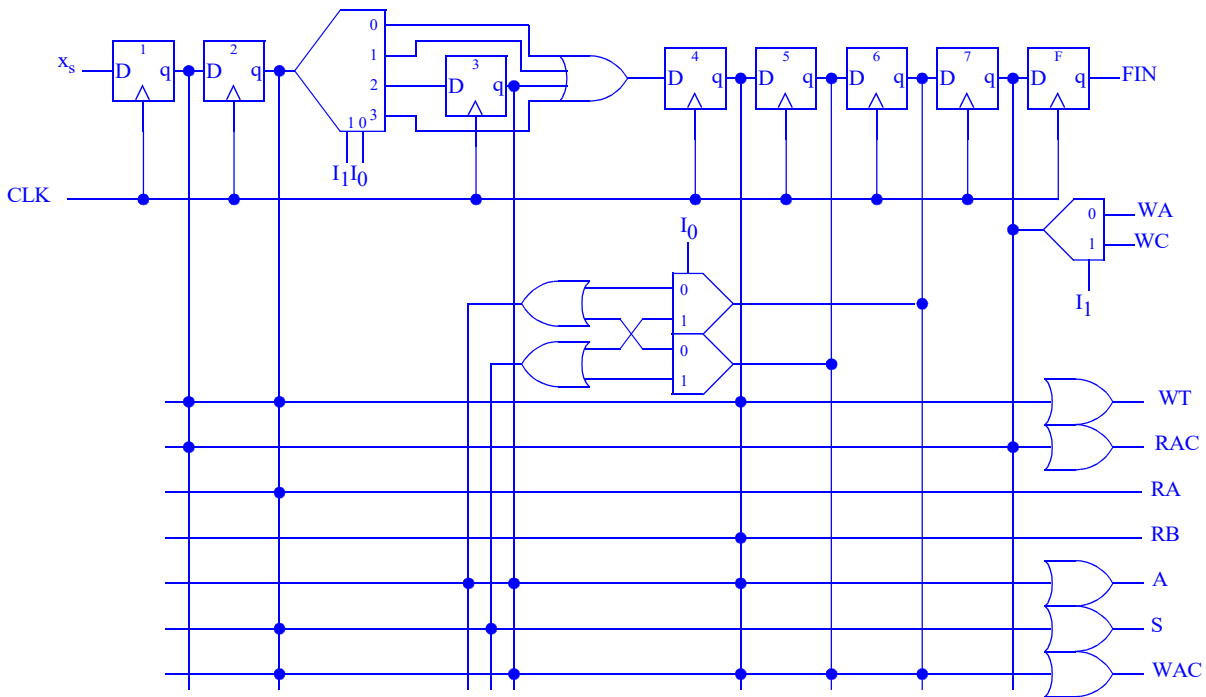
Las microoperaciones quedan:

I_1I_0	00	01	11	10
μop	$A \leftarrow A + 2B$	$A \leftarrow A - 2B$	$C \leftarrow A - 2B$	$C \leftarrow 2A + 2B$
1	$T \leftarrow AC$			
2	$AC \leftarrow AC - T, T \leftarrow A$			
3	-		$AC \leftarrow AC + T$	
4	$AC \leftarrow AC + T, T \leftarrow B$			
5	$AC \leftarrow AC + SR$	$AC \leftarrow AC - SR$		$AC \leftarrow AC + SR$
6	$AC \leftarrow AC + SR$	$AC \leftarrow AC - SR$		$AC \leftarrow AC + SR$
7	$A \leftarrow AC$		$C \leftarrow AC$	

Con ello, la carta ASM sería (en rojo la versión de la unidad de control)



c) Implementación de la unidad de control con la técnica de un biestable por estado:



CRITERIO DE CORRECCIÓN

- a) 20% Descripción RT
- b) 50% Cartas ASM
- c) 30% Implementación UC

2.- Se desea cambiar la semántica de las instrucciones ST y LD del CS3 para que usen el modo de direccionamiento indirecto con predecremento. Este modo es idéntico al modo indirecto normal salvo que, **antes** de realizarse el acceso a memoria, el registro base se decrementa en una unidad:

- a) [30%] Indique si se necesita cambiar la UD para poder implementar este modo de direccionamiento. Justifique su respuesta. En caso afirmativo, indique los cambios.
- b) [30%] Descomponga las nuevas instrucciones en microoperaciones e indique las señales que debe activar la UC.
- c) [40%] Analice el siguiente código en ensamblador y determine qué hace. Indique los parámetros de entrada y salida, así como los registros que se conservan:

```

Inicio:   ldi r5, 21
Salto1:  subi r5, 1
         brzs Fin
         ld r0, (r2)
         ld r1, (r2)
         addi r2, 1
         ror r0
         brcs Salto2
         st (r3), r1
         addi r3, 1
         jmp Salto1
Salto2:  st (r4), r1
         addi r4, 1
         jmp Salto1
Fin:     ret
    
```

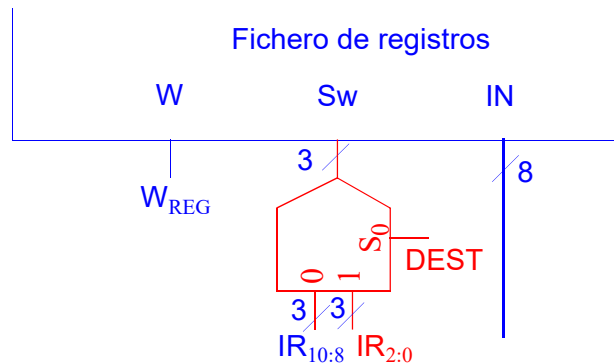
SOLUCIÓN

- a) Sí es necesario cambiar la UD. Primero para poder decrementar el RB:
 - a.1) Dotar a la ALU de capacidad de decremento.

a.2) Se podría añadir capacidad de decremento al registro IR_{2:0} del fichero de registros.

a.3) Añadir capacidad de decremento al registro AC.

Todas las opciones, excepto la a.2 requieren que se añada otro multiplexor en el selector del registro de escritura del fichero de registros S_w, para que ahora pueda escribirse o bien el registro IR_{10:8} o el IR_{2:0}.



La opción a.2 requiere muchos recursos al tratarse de una operación para todos los registros, además de la lógica de control (un DEC 3:8). Por tanto, nos quedaremos con la opción 3.

b) Microoperaciones:

μop	ST (Rb)+, Rf	LD Rd, (Rb)+
1	AC \leftarrow REG[IR _{2:0}]	OP3, OP2, WAC
2	AC \leftarrow AC-1	DA
3	MAR \leftarrow AC, REG[IR _{2:0}] \leftarrow AC AC \leftarrow REG[IR _{10:8}]	RAC, WMAR, WREG, DEST WAC, OP2, OPI
4	MDR \leftarrow AC	RAC, WMDR MDR \leftarrow MEM[MAR] WMDR, I/OMDR
4	MEM[MAR] \leftarrow MDR	WMEM REG[IR _{10:8}] \leftarrow MDR I/OMDR, WREG

c)

```

Inicio:   ldi     r5, 21    ;R5 = 21
Saltol1: subi    r5, 1     ;Decrementar R5. Quedan elementos?
          brzs   Fin      ;...no. Salir
          ld     r0, (r2)  ;...sí. Leer en R0 de puntero R2
          ld     r1, (r2)  ;También en R1
          addi  r2, 1     ;Avanzar puntero R2
          ror   r0        ;Leer lsb y meterlo en el carry
          brcs  Salto2   ;Es 1? Número impar. Ir a Salto2
          st    (r3), r1  ;...no. Número par. Almacenar en puntero R3
          addi  r3, 1     ;Avanzar puntero R3
          jmp   Salto1   ;Siguiente elemento
Saltol2:  st    (r4), r1  ;Número impar. Almacenar en puntero R4
          addi  r4, 1     ;Avanzar puntero R4
          jmp   Salto1   ;Siguiente elemento
Fin:     ret             ;Salir
    
```

La subrutina recibe en R2 un vector de 20 elementos que es leído secuencialmente. Los elementos pares son copiados a partir de la dirección indicada por R3 y los impares a partir de R4. Por tanto, las entradas son:

R2: dirección del vector a procesar.

R3: Vector de salida donde se van a guardar los elementos pares.

R4: Vector de salida donde se van a guardar los elementos impares.

Salidas: se modifican los vectores R3 y R4 en memoria.

Se conservan: R5, R6 y R7

CRITERIO DE CORRECCIÓN

a) 30%

ELECTRÓNICA DIGITAL

Primera convocatoria 2025-2026

Apellidos:.....**SOLUCIÓN**.....

Nombre:.....

T1	T2	T3	T4	P1	P2

- b) 30%**
- c) 40%**