

Apellidos:.....**SOLUCIÓN**.....

1	2	3	4	5

Nombre:.....

DURACIÓN 2:00

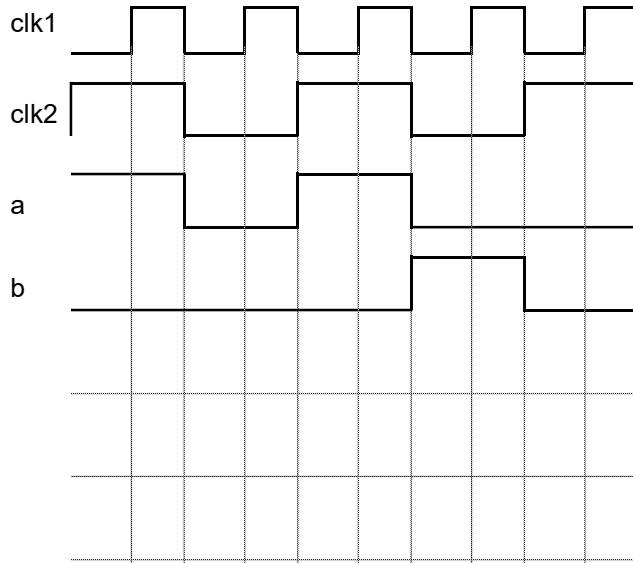
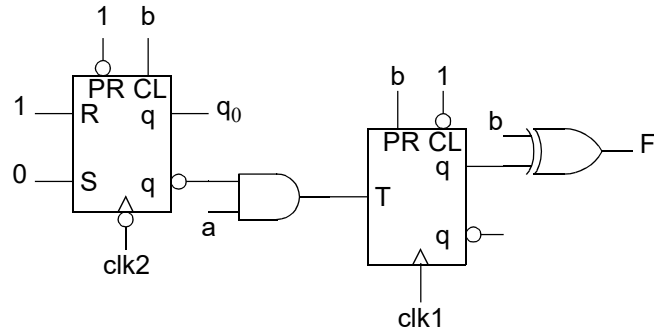
1.- [1 Punto] Defina qué es, para qué sirve y cómo calcular el margen de ruido de una familia lógica.

CRITERIO DE CORRECCIÓN

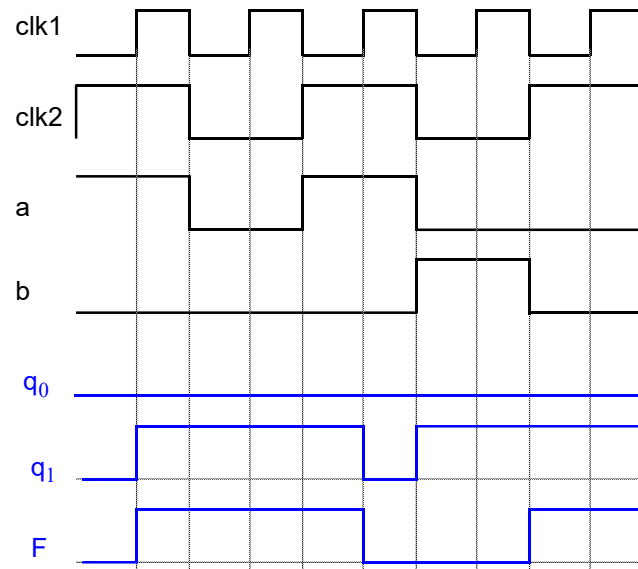
2.- [1'5 Punto] Dispone de DEMUX1:4. Haga un DEMUX1:16.

CRITERIO DE CORRECCIÓN

3.- [1'5 Punto] Analice el circuito siguiente y complete el cronograma:



SOLUCIÓN

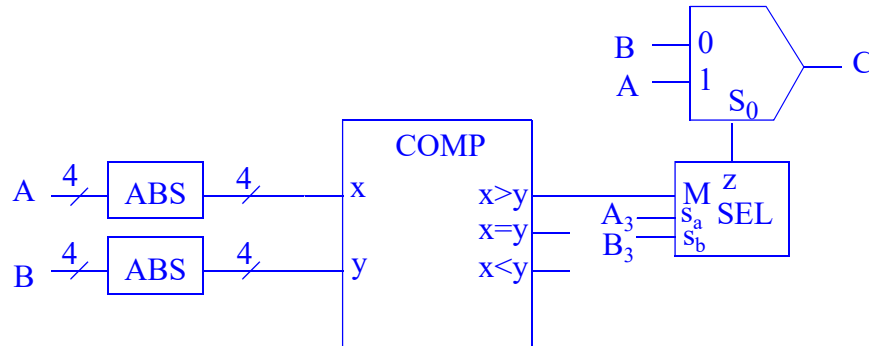


CRITERIO DE CORRECCIÓN

- 4.- [3 Puntos] Se tienen dos palabras A y B de cuatro bits con signo codificadas en complemento a 2. Diseñe un circuito que ponga en su salida el mayor de dichos números. Dispone de subsistemas no programables y puertas lógicas. No dispone de ALU ni de comparadores de números con signo (pero sí de magnitudes).

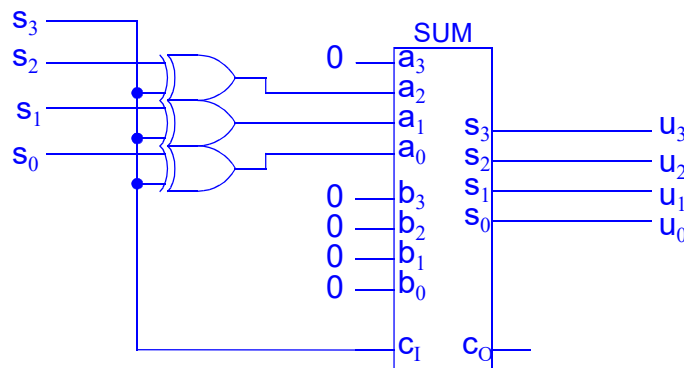
SOLUCIÓN

Una primera opción para solucionar el problema es utilizar un comparador para saber cual es el número mayor y después utilizar multiplexores para seleccionarlo. Sin embargo como los comparadores de que se dispone no pueden comparar números con signo, la solución necesita de algunos circuitos adicionales. En la siguiente figura se muestra un diagrama de bloques del circuito, donde los bloques ABS se encargan de calcular el valor absoluto. El comparador compara, por tanto, dos números positivos y, aunque sólo se dibuja un multiplexor, en realidad son cuatro multiplexores, uno para cada bit de la salida. El circuito SEL se encarga de implementar la lógica de selección de A o B en función del signo y del resultado de la comparación de las magnitudes.



El circuito ABS calcula el valor absoluto de un número de 4 bits en complemento a 2. Su diseño sería el siguiente suponiendo que la entrada es $s_{3:0}$ y la salida $u_{3:0}$ (se necesitan 4 bits a la salida porque el rango de entrada es $[-8, +7]$ y la magnitud más alta es 8, que necesita 4 bits):

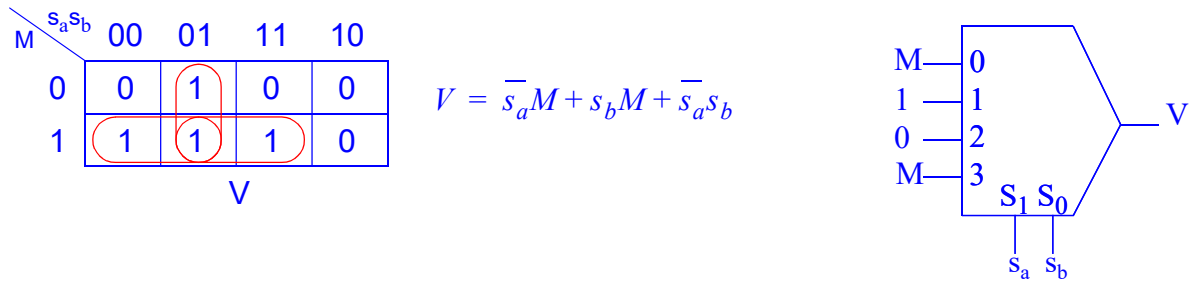
- si el número es positivo ($s_3=0$), la salida es igual a la entrada: $u_{3:0}=s_{3:0}=s_{3:0}+0$.
- si el número es negativo ($s_3=1$), hay que obtener la mantisa calculando el Ca2 del número $u_{3:0}=\text{Ca2}(s_{3:0})=\text{Ca1}(s_{3:0})+1=s_{3:0}+1$.
- Se pueden unificar las dos expresiones anteriores observando que en el primer caso hay que sumar 0 y en el segundo 1. Es decir, el signo o s_3 . Y se puede hacer un complemento a 1 condicional usando una batería de puertas XOR2 que funcionan como inversores controlados con el bit de signo.



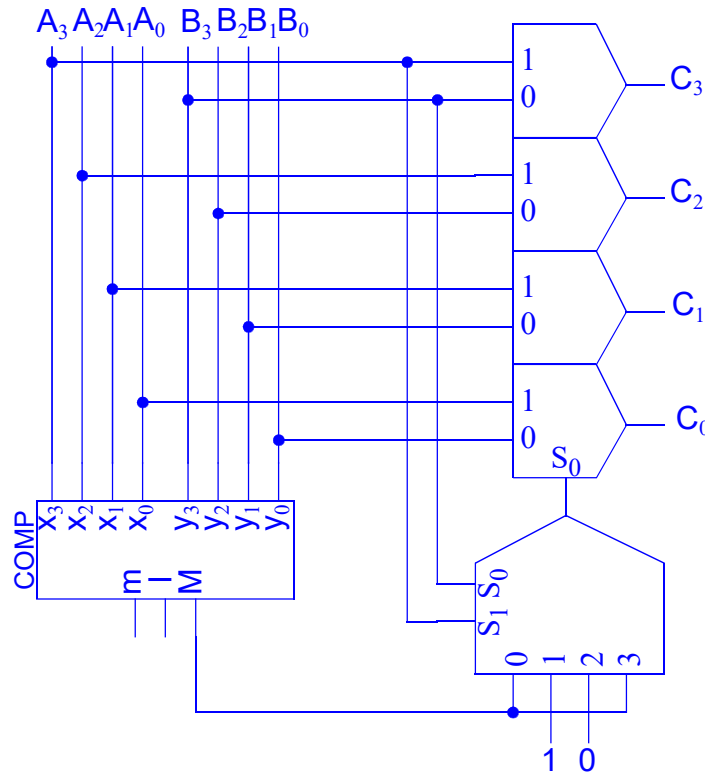
En un análisis posterior se puede comprobar que los bloques ABS no son necesarios. Si los números tienen signos distintos, el positivo es el mayor, sin necesidad de comparar. Pero si los números son negativos, si los consideramos sin signo, el mayor, también es mayor. Por ejemplo, -8 (1000) es menor que -1 (1111).

El bloque SEL realiza la selección del número a poner en la salida en función de los bits de signo de ambos números (S_a y S_b) y de la salida del comparador (M). La salida z valdrá 1 si el mayor es A y 0 si el mayor es B. Si un número es positivo y el otro negativo, el número mayor es el positivo. Si ambos

números son del mismo signo, el mayor es el de mayor magnitud. El mapa-K es el siguiente, junto con la expresión mínima sp y una implemmentación sencilla usando subsistemas combinacionales:

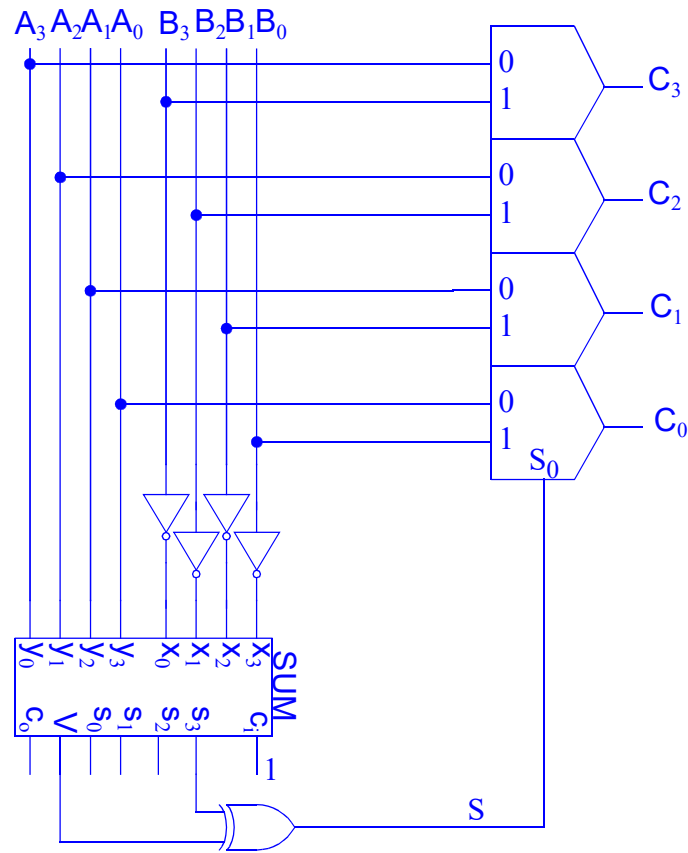


Resumiendo, el circuito que se pide quedaría como sigue:



Hay también una segunda opción de diseño para determinar cuál es el número mayor. Consiste en utilizar un sumador para calcular $A-B$ (o $B-A$). La resta se hace sumando el complemento a dos del número a restar ($A-B = A + C_2(B) = A + C_1(B) + 1 = A + \bar{B} + 1$). Si el resultado es positivo, $A > B$ y si es negativo entonces $B < A$. Para conocer el signo se inspecciona el bit más significativo del resultado (s_3) y también el bit V (desbordamiento) de salida del sumador, ya que el bit de signo ha podido ser alterado por un posible desbordamiento. Si no hubo desbordamiento ($V=0$), el resultado está bien y s_3 tiene el signo del resultado. Si hubo desbordamiento ($V=1$), el resultado correcto necesita un bit más que es el carry de salida (C_0). Pero también podemos decir que, si hubo desbordamiento, el bit de signo está mal, luego su complemento estará bien. La forma más fácil de obtener S , el signo verdadero, es s_3 si $V=0$ y \bar{s}_3 si

$V=1$. O dicho de otra forma, $S = s_3 \oplus V$. La posterior selección del número mayor se hace de la misma forma que la opción anterior.

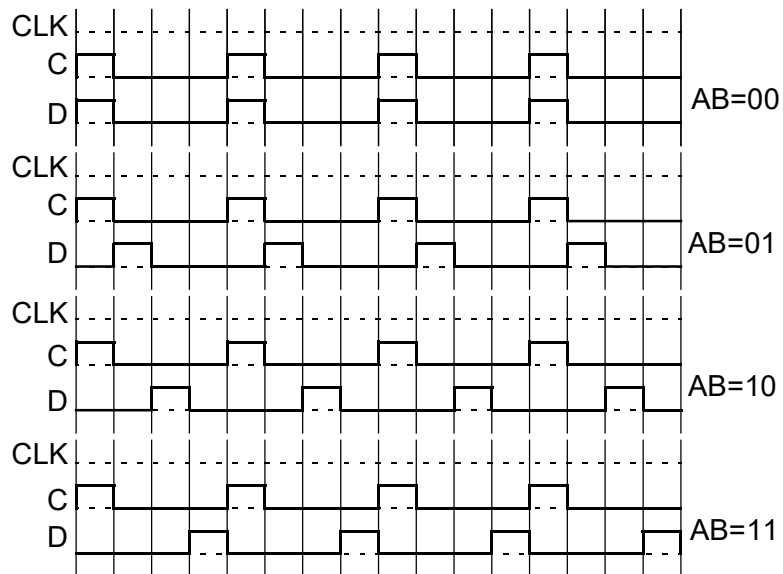


CRITERIO DE CORRECCIÓN

- Obtención del valor absoluto (o darse cuenta de que no hace falta): 40%
- Determinación del mayor: 40%
- Selección del mayor: 20%

No etiquetar señales de los módulos: -1

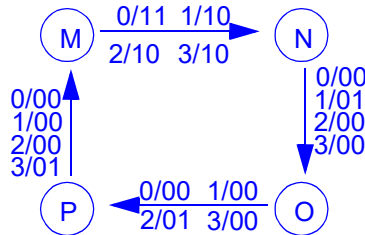
5.- [3 Puntos] Un circuito secuencial genera las señales C y D en función de las entradas A y B. En el cronograma pueden observarse las formas de ondas generadas si las entradas permanecieran constantes:



- a) Obtenga el diagrama de estados del autómata de Mealy del circuito.
 b) Implementelo usando un contador módulo 8 más sencillo posible, subsistemas combinacionales no programables y puertas.

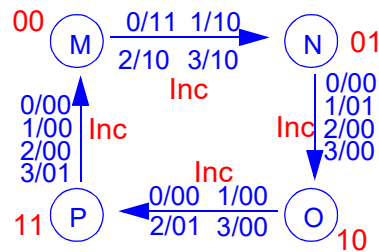
SOLUCIÓN

a) En el cronograma se observa que se trata de un generador de secuencias de 2 bits. La secuencia varía en función de las entradas AB, aunque la forma de onda de C siempre es la misma. Dichas secuencias son de 4 bits (o cuatro ciclos), ya que se repite a partir del cuarto ciclo. Eso nos lleva al siguiente diagrama de estados:

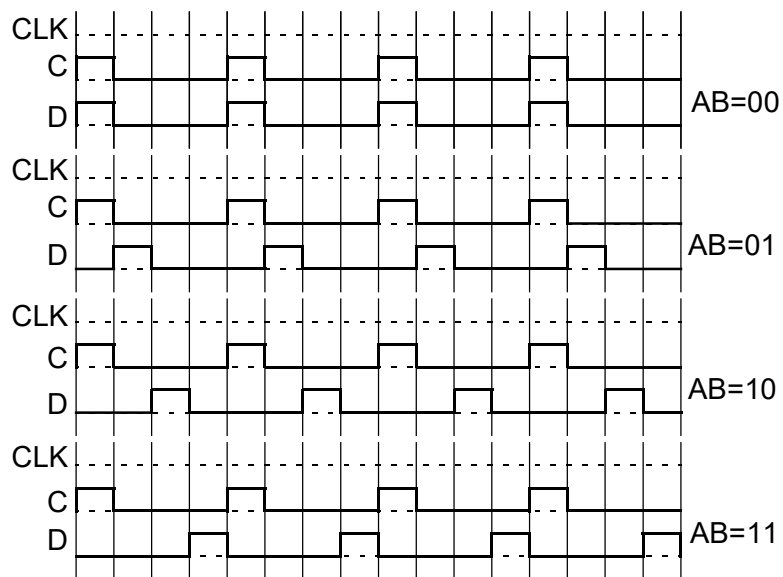


b) Implementación:

La implementación con contadores es directa. Se necesita un contador módulo 4 sencillo, con capacidad de incremento y nada más:



El contador no necesita ninguna entrada adicional y se prescinde de la salida q_2 , ya que sólo se necesita un contador módulo 4.



	q_1	0	1
q_0	0	1	0
	1	0	0

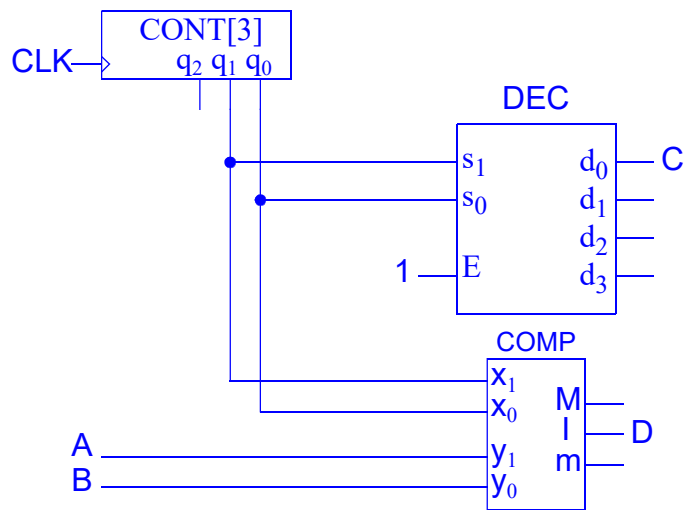
C

	AB	00	01	11	10
q_1q_0	00	1 ⁰	0 ⁴	0 ¹²	0 ⁸
	01	0 ¹	1 ⁵	0 ¹³	0 ⁹
	11	0 ³	0 ⁷	1 ¹⁵	0 ¹¹
	10	0 ²	0 ⁶	0 ¹⁴	1 ¹⁰

D

La salida C no depende de AB, por lo que se puede generar fácilmente con un MUX4:1 con las salidas $q_{1:0}$ conectadas a las entradas de selección y los canales tienen los valores 1,0,0,0. También se podría usar un DEC2:4 conectado a $q_{1:0}$ y tomar la salida d_0 como salida C. Para generar D se usará un COMP2 que compare el estado $q_{1:0}$ con el valor de las entradas AB. Si

son iguales, la salida D=1, lo que se consigue conectando la señal de salida D a la salida I del comparador.



CRITERIO DE CORRECCIÓN

- Diagrama de estados: 40%
- Diseño con contador (selección del CONT, asignamiento de estados y operaciones): 30%
- Implementación del CC: 30%