

Apellidos:.....**SOLUCIÓN**.....

| | | | |
|---|---|---|---|
| 1 | 2 | 3 | 4 |
| | | | |

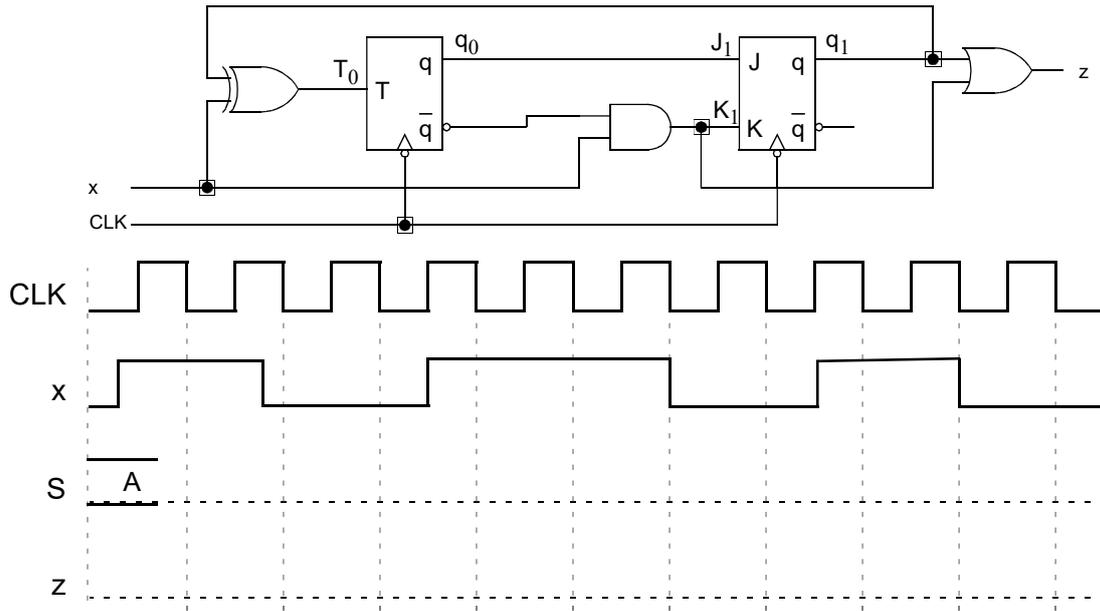
Nombre:.....

Duración 2:00 h.

1.- [2 puntos] Defina breve y claramente los siguientes conceptos:

- Encapsulado.
- Condensador de desacoplo.
- TTL.
- Margen de ruido.
- Tiempo de setup.
- Compatibilidad de familias lógicas
- Salida a colector abierto.
- Fanout.

2.- [2 puntos] Analice el siguiente circuito secuencial usando la técnica para circuito secuenciales síncronos hasta obtener el diagrama de estados. Obtenga el comportamiento temporal en el gráfico indicado considerando los dispositivos ideales y que en el instante inicial $q_0=q_1=0$.



SOLUCIÓN

Ecuaciones de excitación/salida:

$$J_1 = q_0$$

$$K_1 = xq_0$$

$$T_0 = \bar{x}q_1 + x\bar{q}_1$$

$$z = q_1 + xq_0$$

Tablas de excitación/salida:

| | | | | | |
|----------|----------|----|----|----|----|
| | q_1q_0 | 00 | 01 | 11 | 10 |
| x | 0 | 00 | 10 | 10 | 00 |
| | 1 | 01 | 10 | 10 | 01 |
| J_1K_1 | | | | | |

| | | | | | |
|-------|----------|----|----|----|----|
| | q_1q_0 | 00 | 01 | 11 | 10 |
| x | 0 | 0 | 0 | 1 | 1 |
| | 1 | 1 | 1 | 0 | 0 |
| T_0 | | | | | |

| | | | | | |
|-----|----------|----|----|----|----|
| | q_1q_0 | 00 | 01 | 11 | 10 |
| x | 0 | 0 | 0 | 1 | 1 |
| | 1 | 1 | 0 | 1 | 1 |
| z | | | | | |

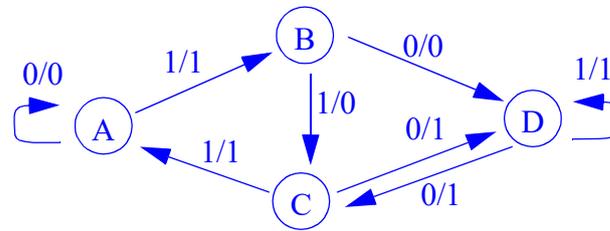
Tabla de transición/salida:

| | | | | | |
|-----|----------|------------|------|------|------|
| | q_1q_0 | 00 | 01 | 11 | 10 |
| x | 0 | 00,0 | 11,0 | 10,1 | 11,1 |
| | 1 | 01,1 | 10,0 | 11,1 | 00,1 |
| | | Q_1Q_0,z | | | |

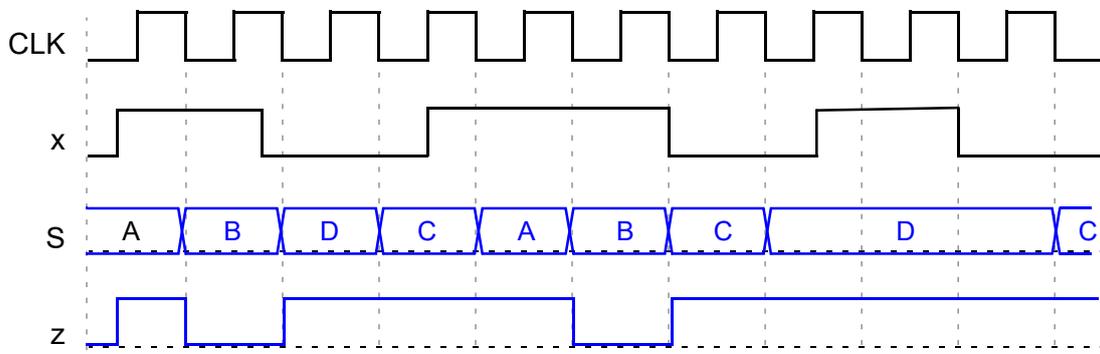
Tabla de estados:

| | | | | | |
|-----|-----|--------|-----|-----|-----|
| | s | A | B | D | C |
| x | 0 | A,0 | D,0 | C,1 | D,1 |
| | 1 | B,1 | C,0 | D,1 | A,1 |
| | | NS,z | | | |

Diagrama de estados:



Cronograma:



- 3.- [3 Puntos] Un sistema de climatización conoce la temperatura objetivo (T_{obj}) y la temperatura real (T_{real}) por dos entradas de 5 bits que codifican la temperatura en binario natural (0 a 31°C). Se desea diseñar un circuito que ponga una señal a $C = 1$ cuando la temperatura real esté más de 5° por encima de la temperatura objetivo o cuando la temperatura real alcance los 31°. Diseñelo utilizando subsistemas combinacionales no programables y puertas lógicas buscando la opción más sencilla posible (no dispone de un restador).

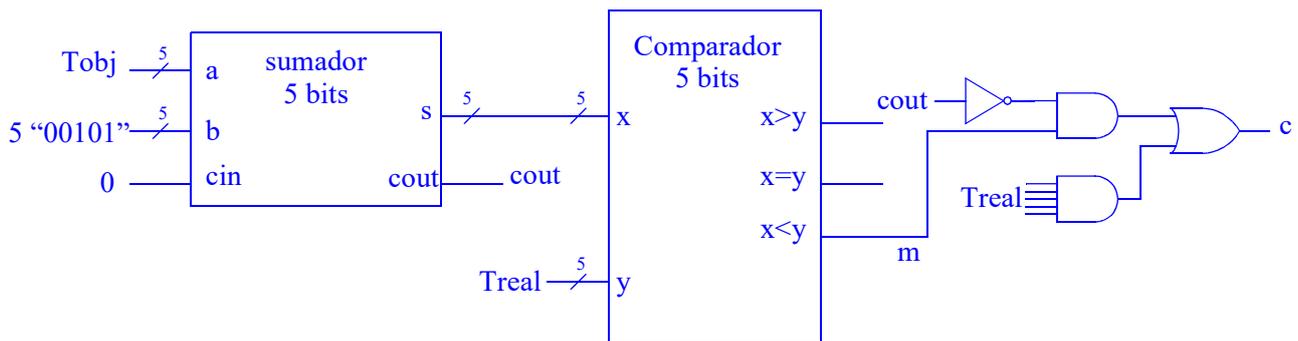
SOLUCIÓN

El problema admite varias formas de solución.

Opción 1: Consiste en sumar a T_{obj} 5 grados y compararla con T_{real} . En este caso hay que tener cuidado de si la suma produce un número mayor de 31. Esto puede detectarse con la salida de carry del sumador. Necesitamos por lo tanto un sumador de dos número de 5 bits y un comparador de magnitud de dos números de 5 bits. La salida se tendrá que poner a '1' cuando $m = '1'$ y $cout = '0'$.

La detección de si la temperatura es de 31° puede hacerse con una puerta AND de 5 entradas.

El circuito resultante es:



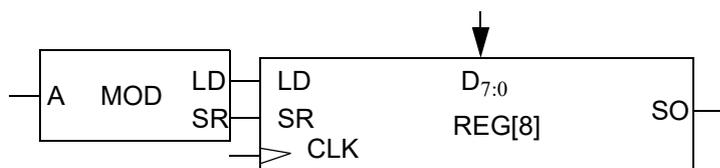
Opción 2: Consiste en restar a Treal el valor de Tobj y comprobar después si el resultado es mayor que 5 comparándolo con el valor 5 mediante un comparador de magnitud. Como no se dispone de restadores hay que convertir ambos números de positivos a complemento a 2 (aumentándolos a números de 6 bits con el bit más significativo a '0') y después cambiar el signo de Tobj (invirtiendo todos los bits y sumando 1). Esto se puede hacer utilizando un sumador de dos números de 6 bits con acarreo de entrada y acarreo de salida y 6 inversores para complementar Tobj.

Para esta opción hay que considerar que el resultado de la resta sea un número negativo. Esto estaría indicado por el bit más significativo de la suma. Si este bit es cero es que el resultado es positivo y hay que hacer la comparación. Pero si el resultado es negativo entonces significa que la temperatura objetivo es mayor que la real, y por lo tanto la salida tiene que ser cero.

Quedaría por dibujar el circuito que es bastante parecido al anterior.

4.- [3 Puntos] Se dispone de un registro paralelo-serie de 8 bits con una entrada de carga paralelo (LD) y otra de desplazamiento a la derecha (SR). El funcionamiento está descrito en la tabla adjunta. Se desea diseñar el circuito MOD que genera las señales LD y SR del registro de forma que cuando la entrada A se ponga a 1, realice la carga en paralelo del registro e inmediatamente los desplazamientos necesarios para que en la salida SO se pongan los 8 bits cargados. Una vez realizados los desplazamientos se esperará a que A = 1 para realizar una nueva carga. Mientras que no se produzca esto, el registro no deberá modificarse.

- a) Diseñe un diagrama de estados de MOD como máquina de Moore.
- b) Realice el diseño de MOD usando el contador síncrono completo más simple (menor módulo, E/S y activas en alta en menor número) y puertas lógicas.



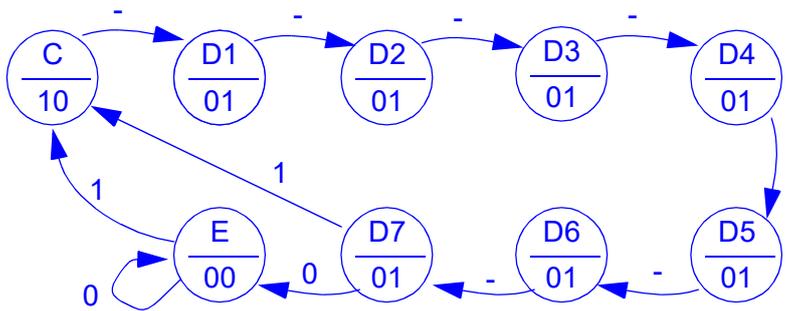
| LD SR | REG ← |
|-------|--------------|
| 1 - | D |
| 0 1 | SHR (REG, 0) |
| 0 0 | REG |

SOLUCIÓN

a) Diagrama de estados.

Las secuencia a seguir es realizar la carga y posteriormente 7 desplazamientos. El registro de desplazamiento es de 8 bits y al realizar la carga el bit menos significativo ya está puesto a la salida. Por lo tanto sólo hay que hacer 7 desplazamientos. Esta secuencia se hará con independencia del valor de la entrada. Una vez terminados los desplazamientos se comprobará el valor de la entrada. Si vale '1' se comenzará con otra secuencia de carga y desplazamiento y se si vale '0' se esperará a que valga '1' poniendo mientras tanto las salidas a '0'.

Partiremos de un estado C en que se realiza la carga en paralelo al que le seguirán 7 estados de desplazamiento (D1 a D7). Después plantearemos un estado E para esperar que la entrada se ponga a '1'. La máquina de estados resultante es:



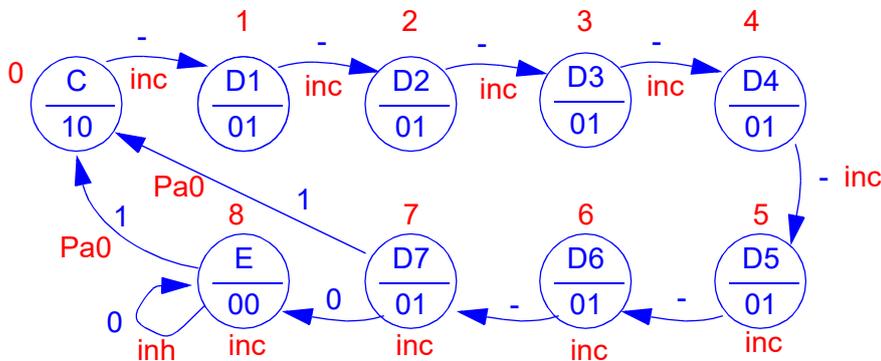
Entrada: A
Salidas: LD SR

b) Diseño con un contador

Como el diagrama de estados tiene 9 estados necesitaremos un contador módulo 16. Como al estado C se va desde el estado E y desde el D7 se necesita que el contador tenga señal de puesta a cero. Y como hay que mantenerse en E se necesita que también tenga inhibición de cuenta. El funcionamiento del contador será:

| Inh Pa0 | Cont |
|---------|------------------|
| 1 - | cont <- cont |
| 0 1 | cont <- 0 |
| 0 0 | cont <- cont + 1 |

Como primer paso del proceso de diseño vamos a marcar en el diagrama de estados los estados de cuenta relativos a cada estado la operación del contador en cada transición:



Entrada: A
Salidas: LD SR

Vamos ahora a hacer unas tablas en las que en función del estado de cuenta ($q_3q_2q_1q_0$) y de la entrada se ponga los valores de las señales del contador (inh y $Pa0$) y las salidas para el registro (LD y SR).

| $q_3q_2q_1q_0$ | A=0 | A=1 | $q_3q_2q_1q_0$ | A=0 | A=1 | $q_3q_2q_1q_0$ | | $q_3q_2q_1q_0$ | |
|----------------|-----|-----|----------------|-----|-----|----------------|---|----------------|---|
| 0000 | 0 | 0 | 0000 | 0 | 0 | 0000 | 1 | 0000 | 0 |
| 0001 | 0 | 0 | 0001 | 0 | 0 | 0001 | 0 | 0001 | 1 |
| 0010 | 0 | 0 | 0010 | 0 | 0 | 0010 | 0 | 0010 | 1 |
| 0011 | 0 | 0 | 0011 | 0 | 0 | 0011 | 0 | 0011 | 1 |
| 0100 | 0 | 0 | 0100 | 0 | 0 | 0100 | 0 | 0100 | 1 |
| 0101 | 0 | 0 | 0101 | 0 | 0 | 0101 | 0 | 0101 | 1 |
| 0110 | 0 | 0 | 0110 | 0 | 0 | 0110 | 0 | 0110 | 1 |
| 0111 | 0 | 1 | 0111 | 0 | 0 | 0111 | 0 | 0111 | 1 |
| 1000 | 0 | 1 | 1000 | 1 | 0 | 1000 | 0 | 1000 | 0 |
| 1001 | - | - | 1001 | - | - | 1001 | - | 1001 | - |
| 1010 | - | - | 1010 | - | - | 1010 | - | 1010 | - |
| 1011 | - | - | 1011 | - | - | 1011 | - | 1011 | - |
| 1100 | - | - | 1100 | - | - | 1100 | - | 1100 | - |
| 1101 | - | - | 1101 | - | - | 1101 | - | 1101 | - |
| 1110 | - | - | 1110 | - | - | 1110 | - | 1110 | - |
| 1111 | - | - | 1111 | - | - | 1111 | - | 1111 | - |

Pa0

Inh

LD

SR

Ya sólo queda obtener las expresiones mínimas:

$$Pa0 = q_3A + q_2q_1q_0A$$

$$inh = q_3\bar{A}$$

$$LD = \bar{q}_3\bar{q}_2\bar{q}_1\bar{q}_0$$

$$SR = q_2 + q_1 + q_0$$