

Estructura de Computadores (EdC-ISW-G1) 2018-19

Boletín 1: Memorias

NOTA:

Los problemas de este boletín corresponden a ejercicios de exámenes de años anteriores. Muchos de ellos están resueltos en los libros [BAENA 97] y [DIAZ 09]:

“Problemas de Circuitos y Sistemas Digitales”

Carmen Baena, Manuel J. Bellido, Alberto J. Molina, M. Pilar Parra, Manuel Valencia

Ed. McGraw-Hill, 1997

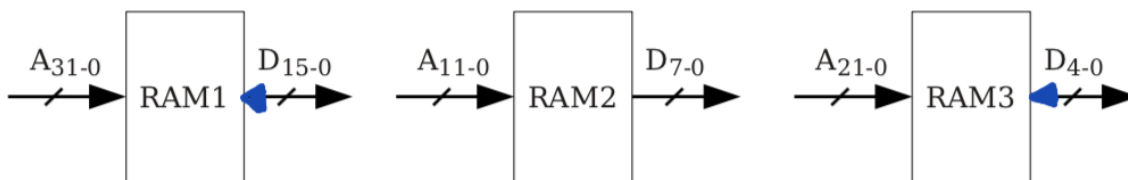
“Estructura y Tecnología de Computadores. Teoría y Problemas”

Sergio Díaz, M. Carmen Romero, Alberto J. Molina

Ed. McGraw-Hill, 2009

Problema 1

La figura muestra el esquema de tres memorias. Indique la capacidad de cada uno de los chips, usando las unidades adecuadas: KBytes, Mbytes, Gbytes, etc



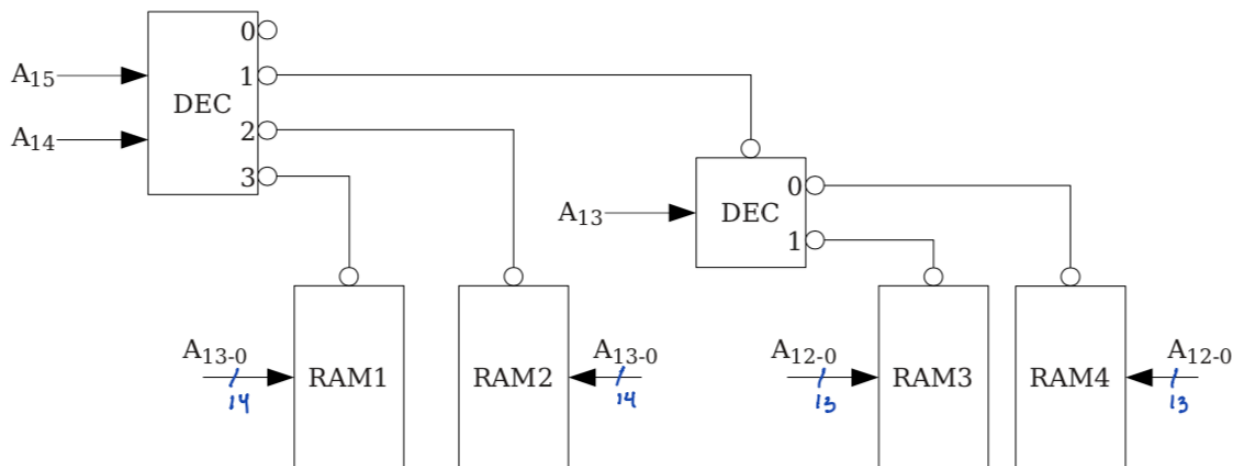
Problema 2

Dibuje los esquemas de las memorias indicadas a continuación, detallando líneas de entrada y salida necesarias:

- Una memoria RAM 2Kx8
- Una memoria ROM 4Mx16
- Una memoria RAM 1Gx32

Problema 3

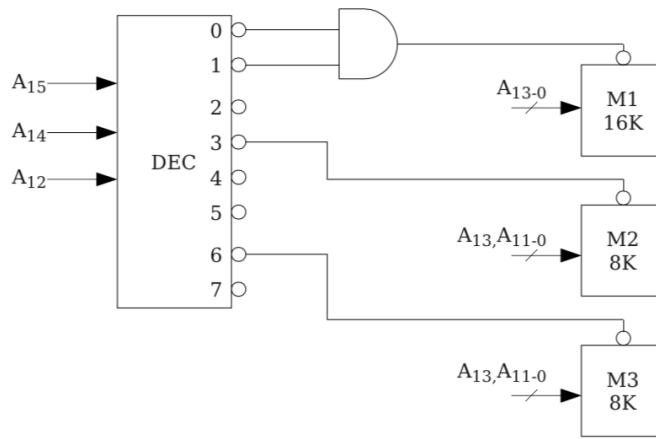
El circuito de decodificación de memoria mostrado en la figura corresponde a un procesador de 16 líneas de dirección y 8 líneas de datos. Conteste a las cuestiones planteadas:



- Indique las capacidades de todas las memorias expresadas en Kbytes.
- Indique las direcciones del mapa de memoria no ocupadas
- Indique las direcciones lógicas en las que empiezan y terminan cada uno de los chips
- Indique las direcciones físicas para las siguientes direcciones lógicas: \$489^a, \$6B78, \$B800, \$E415.

Problema 4 [Baena, pág. 272]

Considerando un banco de memoria de 64KB, determine el mapa de memoria correspondiente al circuito de la figura:



Problema 5 [Baena, pág. 274]

Se desea diseñar un banco de memoria que tenga 64Kbytes de memoria, de los cuales, 40K sean RAM y 16K ROM. Se dispone de chips de los siguientes tipos:

- ROMs: 16K×4
- RAMs: 16K×8
- RAMs: 4K×8

Diseñe el circuito de decodificación necesario.

Problema 6

Se dispone de 3 circuitos de memoria con entradas de selección de chip (CS) activas en nivel bajo: dos son de 8K palabras y el tercero de 32K. Estos circuitos van a estar direccionados por un procesador de 16 señales de direcciones (A15/A0). Se requiere que los circuitos de 8K ocupen las direcciones menores y las mayores.

- a) Proponga un mapa de memoria que utilice los tres circuitos y deje libre las 16K palabras de dirección sobrantes. Diseñe el circuito que realiza ese mapa.
- b) Indique el circuito de memoria y la posición en dicho circuito que se activa con cada una de las siguientes direcciones (\$A15/A0, en hexadecimal): \$0123, \$2345, \$4567, \$6789, \$89AB, \$ABCD, \$CDEF y \$EF01.

Problema 7

Para un banco de memoria de 64K palabras y utilizando memorias 4K×4, diseñe un circuito de decodificación que permita situar 16 Kbytes a partir de la posición \$1000.

Problema 8.

El mapa de memoria de un microprocesador con bus de direcciones de 16 bits está ocupado por 8K ROM y 20K RAM. Diseñe el circuito de decodificación necesario si se dispone de chips de 8K×4 ROM, 16K×4 RAM y 4K×8 RAM.

Problema 9

Utilizando circuitos de memoria 2K×4, realice una configuración 8K×8 que ocupe 8K posiciones a partir de la 4096₍₁₀₎ en un mapa de memoria de 64K.

Problema 10

Diseñe un circuito decodificador que permita situar 20Kbytes de RAM a partir de la dirección \$5000 dentro de un mapa de memoria de 64K. Para ello se dispone de chips de 8K×8 y 4K×4.

Problema 11 [DIC 2016]

Se quiere ampliar la memoria de un sistema basado en un procesador de 16 líneas de bus de direcciones y 8 líneas de bus de datos. En concreto, el sistema tan sólo tiene libres 32 Kbytes ubicados a partir de la dirección \$2000, que se desean rellenar con memoria RAM. Proponga dos soluciones para esta ampliación usando sólo memorias RAM 8kx8

- a) usando sólo memorias RAM 16kx8
- b) Para la solución del apartado b, indique las direcciones físicas correspondientes a las direcciones lógicas: \$213B, \$63F0 y \$9200.

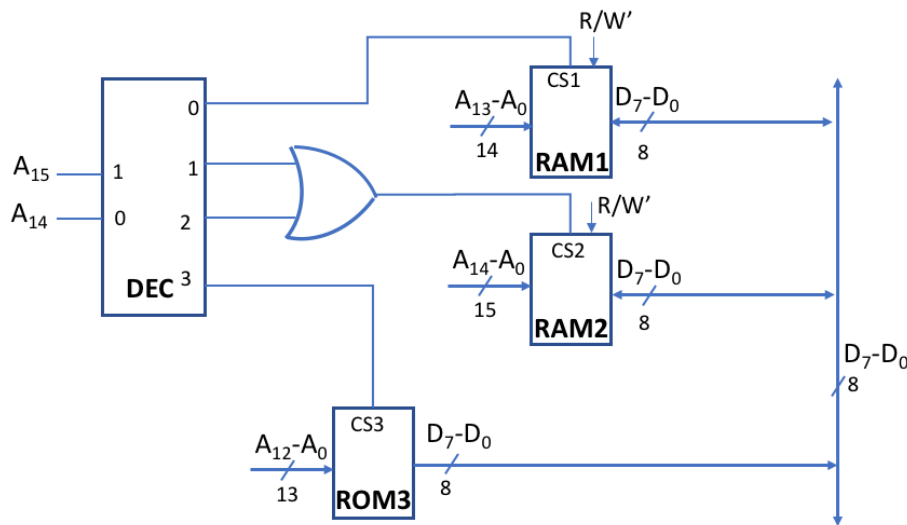
Problema 12 [JUN 2016]

Considerando un microprocesador con bus de direcciones de 16 bits y bus de datos de 8 bits, y suponiendo que se quieren ocupar los primeros 16KB con memoria RAM y los últimos 8 KB con memoria ROM, se pide:

- a) Obtenga el mapa de memoria si se dispone únicamente de chips RAM 8Kx8 y ROM 4Kx4 (en ambos casos, tantos como necesite). Debe indicar claramente:
 - El número de chips que utiliza de cada tipo
 - El espacio de direcciones disponibles
 - La dirección lógica donde empieza y termina cada uno de los chips
- b) Diseñe el circuito de decodificación necesario para interconectar el microprocesador y las memorias que active adecuadamente las señales CS de cada CHIP.
- c) Indique razonadamente las direcciones físicas correspondientes a cada una de las siguientes direcciones lógicas: \$23AC, \$675B, \$E800, \$1002.

Problema 13 [JUNIO 2018]

Un procesador con BUS de datos de 8 bits y BUS de direcciones de 16 bits, tiene conectados 3 circuitos de memoria de acuerdo al siguiente esquema de decodificación:



- a) Obtenga el Mapa de memoria del procesador, indicando detalladamente ubicación de cada chip en el mapa y direcciones de comienzo y fin de cada circuito.
- b) Deduzca las direcciones físicas que corresponden a las siguientes direcciones lógicas:

Dirección lógica	Dirección física	
	Chip	Dirección dentro del chip
\$4B00		
\$CD00		
\$E2B0		
\$8D00		

Problema 14 [JUNIO 2018]

El mapa de memoria de un microprocesador con bus de direcciones de 16 bits y bus de datos de 8 bits, tiene disponibles 48Kbytes a partir de la dirección \$2000. Se desea completar el mapa con memoria RAM, para lo que se proponen dos soluciones:

- SOLUCIÓN 1: usando exclusivamente 3 chips RAM 16kx8
- SOLUCIÓN 2: usando exclusivamente 2 chips RAM 32Kx8

Para cada solución, se pide:

- a) Mapa de memoria resultante, indicando la ubicación de los chips, detallando las direcciones lógicas donde empieza y termina cada chip.

- b) Circuito de decodificación, detallando su conexión de las memorias
- c) Indique razonadamente las direcciones físicas para cada una de las direcciones lógicas: \$23AC, \$43AC.

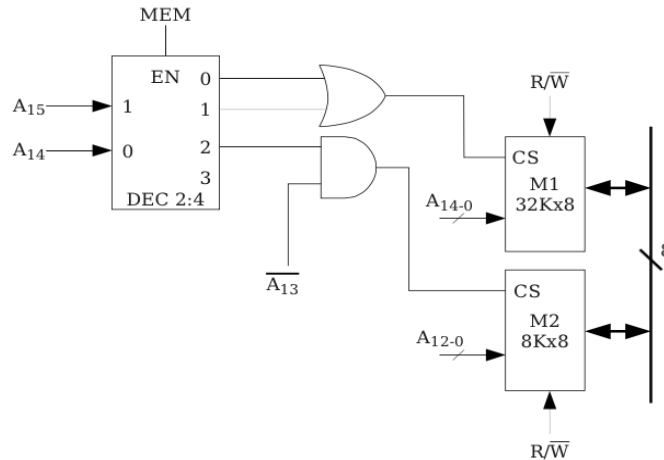
Problema 15 [Díaz, pág. 224]

Se dispone de un microprocesador de 8 bits de datos y 20 bits de direcciones y de 2 chips de 64Kx8 de RAM y uno de 128Kx8 de ROM. Se desea que las posiciones de memoria más bajas estén ocupadas por ROM, y que a continuación se ubique la memoria RAM. Diseñe el sistema de decodificación suponiendo que las señales de selección son activas en nivel bajo.

Problema 16

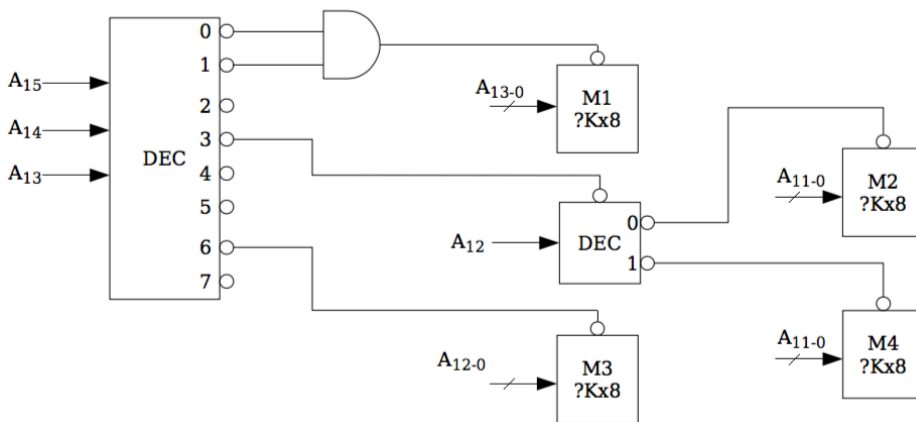
Para el subsistema de memoria de la figura, se pide:

- a) Determine el mapa de memoria
- b) Añada 16Kbytes utilizando chips RAM 4Kx8 especificando el mapa de memoria resultante y la interconexión de los nuevos chips al subsistema de la figura.



Problema 16 [Diciembre 2018]

El circuito de decodificación de la figura se ha diseñado para un procesador con 16 líneas de dirección y 8 bits en el bus de datos. Responda a las cuestiones planteadas.



- c) Obtenga el mapa de memoria, ubicando cada chip correctamente
- d) Indique la dirección de inicio y fin de cada chip.
- e) Indique las direcciones físicas de las direcciones lógicas: \$0304, \$0634, \$0752, \$9620, \$D876.