

Tarea 9

Ejercicio 1. Diseña un registro de n bits con las siguientes operaciones: puesta a cero asíncrona (*clear*), carga en paralelo (*load*) y desplazamiento a la izquierda (*shift left*). Realiza el diseño usando biestables D y elementos combinacionales.

Señales:

- CL: puesta a cero (activo en bajo).
- LD: carga en paralelo (activo en alto).
- SHL: desplazamiento a la izquierda (activo en alto).
- X: dato de n bits para la operación de carga.
- X_L : dato de un bit para la operación de desplazamiento.
- Z: salida de n bits.

Ejercicio 2. Diseña un contador módulo 16 con las siguientes operaciones: puesta a cero síncrona (*clear*), carga en paralelo (*load*), cuenta ascendente y cuenta descendente. Realiza el diseño usando biestables JK y elementos combinacionales.

Señales:

- CL: puesta a cero (activo en alto).
- LD: carga en paralelo (activo en alto).
- UP: cuenta ascendente (activo en alto).
- DW: cuenta descendente (activo en alto).
- X: dato de 4 bits para la operación de carga.
- Z: salida de 4 bits (estado de cuenta).

Ejercicio 3. Un circuito secuencial tiene una entrada 'x' y una salida 'z' de forma que $z=1$ cuando se detecta la secuencia de entrada $\{1, 1, 0\}$ o $\{0, 1, 1\}$. Diseña un circuito que resuelva el problema considerando que las secuencias pueden solaparse. Usa un registro de desplazamiento con las señales de control y salida que sean necesarias y elementos combinacionales.

Ejercicio 4. Diseña un circuito para controlar los semáforos de un cruce de dos calles con direcciones norte-sur (NS) y este-oeste (EO). Cada semáforo deberá hacer la secuencia: verde (7s), amarillo (2s) y rojo (7s). Cuando un semáforo está en verde o amarillo, el otro debe estar en rojo. Realice el diseño empleando contadores, registros de desplazamiento y elementos combinacionales. Define con una tabla de operación las funciones de los registros y contadores utilizados.

Ejercicio 5. (Voluntario) Realiza los ejercicios de la unidad 7.2 de `curso_verilog.v` (contador).

Ejercicio 6. (Voluntario) Realiza algunos de los ejercicios 11, 12, 13, 14 o 15 propuestos en el tema mediante descripciones en Verilog. Simula los diseños mediante un banco de pruebas apropiado.