

Tema 9. Ejercicio 1

a) Registro paralelo/paralelo con biestables D y puertas lógicas

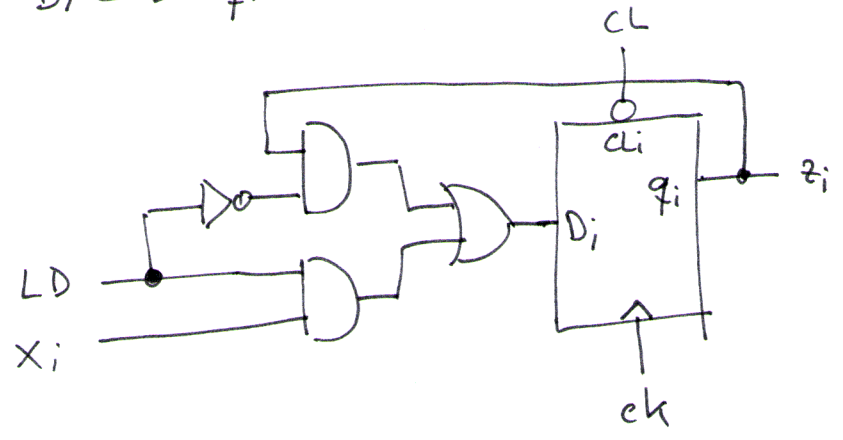
Tabla de operación síncrona

LD	operación	Et. típica	Excitación
1	$q \leftarrow x$	$q_i \leftarrow x_i$	$D_i = x_i$
0	$q \leftarrow q$	$q_i \leftarrow q_i$	$D_i = q_i$

A partir de la tabla de operación :

	LD	x_i			
q_i		00	01	11	10
0		0	0	1	0
1		1	1	1	0
		D_i			

$$D_i = \overline{LD} q_i + LD x_i$$



b) Registro paralelo/paralelo con biestables JK y multiplexores.

Tabla de operación síncrona

LD	operación	Et. típica	Excitación
1	$q \leftarrow x$	$q_i \leftarrow x_i$	$J_i = x_i, K_i = \overline{x_i}$
0	$q \leftarrow q$	$q_i \leftarrow q_i$	$J_i = 0, K_i = 0$



LD = 0

¿qué ponemos en J, k para que no cambie el estado?

		JK			
q		00	01	11	10
0	0	0	0	1	1
1	1	1	0	0	1
		Q			

→ $J_i = 0, K_i = 0$

LD = 1

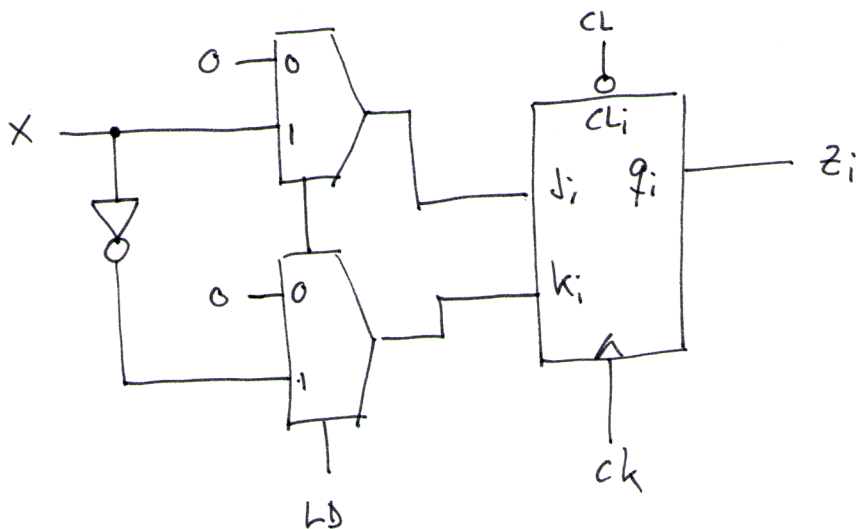
En general, el próximo estado de cada biestable depende de x_i y q_i . Hacemos una tabla con el próximo estado y calculamos la excitación correspondiente (como en el diseño de MEF).

		x_i	
q_i		0	1
0	0	0	1
1	0	1	1
		Q_i ($q_i \leftarrow$)	

$q \rightarrow Q$	JK
0 → 0	0-
0 → 1	1-
1 → 0	-1
1 → 1	-0

		x_i	
q_i		0	1
0	0	0-	1-
1	1	-1	-0
		J_i, k_i	

$J_i = x_i; K_i = \bar{x}_i$



c) Registro paralelo/paralelo con biestables JK y puertas lógicas.

A partir de la tabla de operación de la etapa típica vemos que el próximo estado de q_i depende de LD , x_i y q_i :

$$q_i \leftarrow f(LD, x_i, q_i)$$

Trasladamos la información de la tabla de operación a un K-mapa, como si fuera la tabla de transición de estados de una MEF:

LD, x		00	01	11	10
q_i	0	0	0	1	0
	1	1	1	1	0

$q_i \leftarrow$
 $LD=0 \rightarrow q_i \leftarrow q_i$ $LD=1 \rightarrow q_i \leftarrow D_i$

$q_i \rightarrow q_i$	JK
0 \rightarrow 0	0-
0 \rightarrow 1	1-
1 \rightarrow 0	-1
1 \rightarrow 1	-0

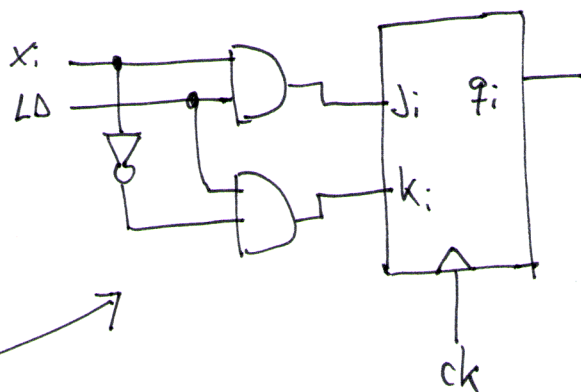
Convertimos en una tabla de excitación del biestable JK:

LD, x		00	01	11	10
q_i	0	0-	0-	1-	0-
	1	-0	-0	-0	-1

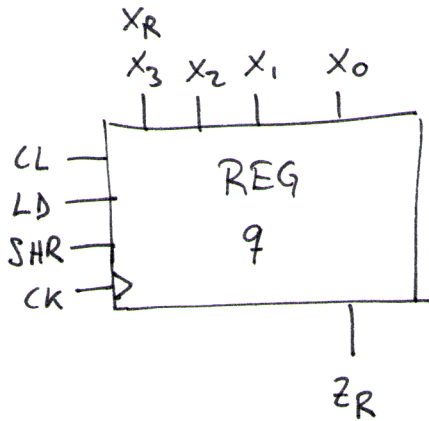
J_i, K_i

$$J_1 = LD \cdot x$$

$$J_2 = LD \cdot \bar{x}$$



Tema 9. Ejercicio 2



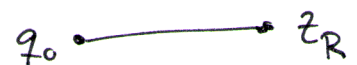
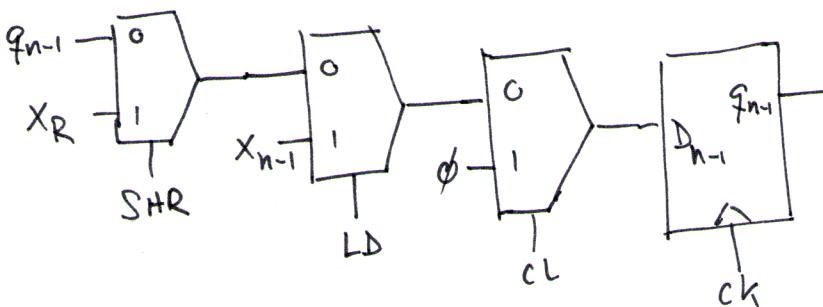
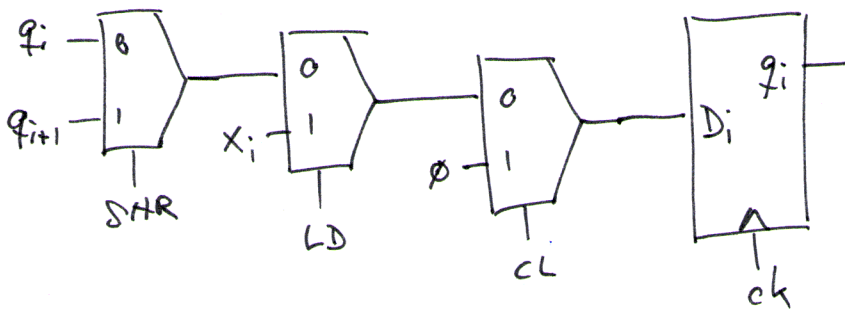
- Todas las operaciones son síncronas.

- Hay una etapa particular (n-1) debido a la operación SHR

Tabla de operación

CL, LD, SHR	Oper.	Próximo estado		Excitación	
		Et. típica	Et. n-1	Et. típica	Et. n-1
1 x x	$q \leftarrow 0$	$q_i \leftarrow 0$	$q_{n-1} \leftarrow 0$	$D_i = 0$	$D_{n-1} = 0$
0 1 x	$q \leftarrow X$	$q_i \leftarrow X_i$	$q_{n-1} \leftarrow X_{n-1}$	$D_i = X_i$	$D_{n-1} = X_{n-1}$
0 0 1	$q \leftarrow SHR(q, X_R)$	$q_i \leftarrow q_{i+1}$	$q_{n-1} \leftarrow X_R$	$D_i = q_{i+1}$	$D_{n-1} = X_R$
0 0 0	$q \leftarrow q$	$q_i \leftarrow q_i$	$q_{n-1} \leftarrow q_{n-1}$	$D_i = q_i$	$D_{n-1} = q_{n-1}$

Circuito con multiplexores

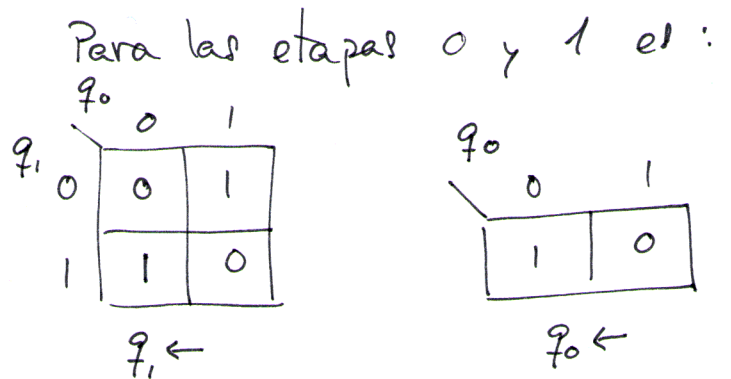
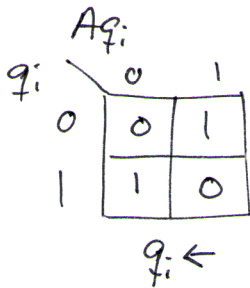


Tema 9. Ejercicio 3

Diseño de contadores con distintos tipos de biestables.

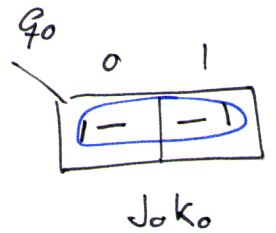
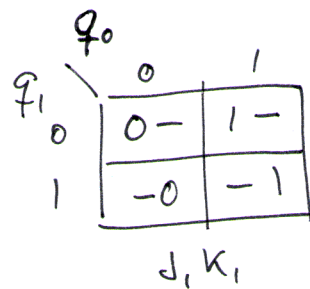
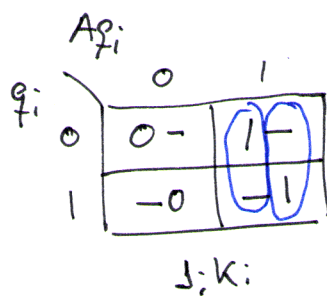
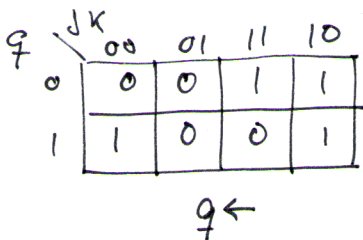
Si definimos $Aq_i = q_{i-1} \dots q_0$, podemos expresar el próximo estado de la etapa típica en función de Aq_i :

operación	Et. típica
$q \leftarrow (q+1) \text{ mod } 2^n$	$q_i \leftarrow \bar{q}_i$ si $Aq_i = 1$ $q_i \leftarrow q_i$ si $Aq_i = 0$



A partir de las tablas anteriores y con la tabla de excitación del biestable deseado, podemos calcular la tabla de excitación para cada biestable del contador.

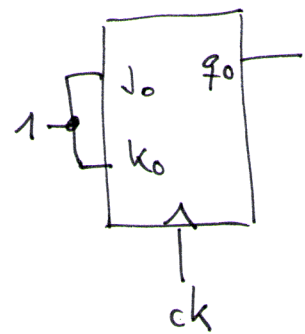
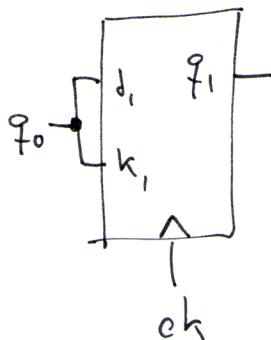
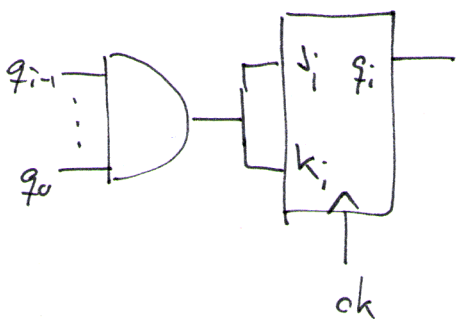
Jk



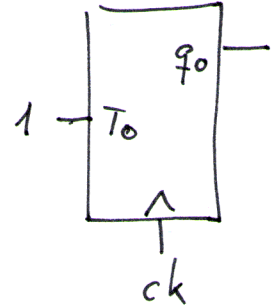
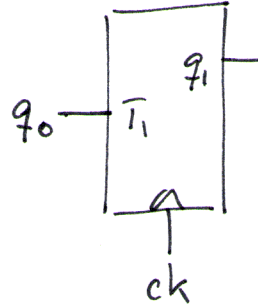
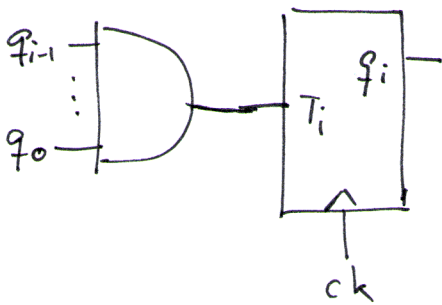
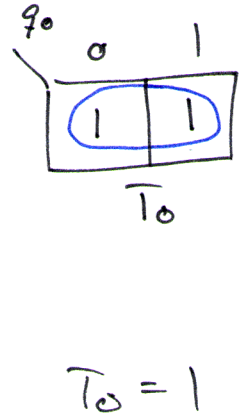
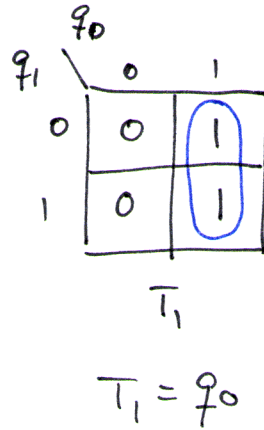
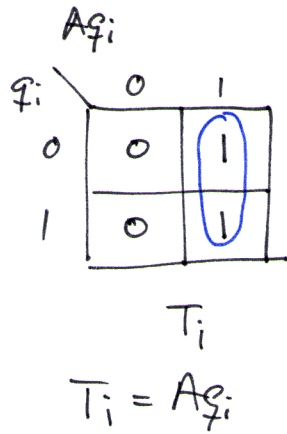
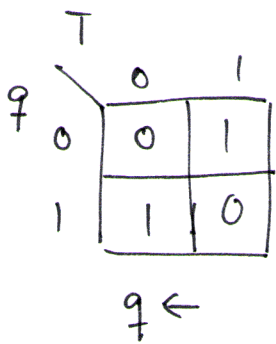
$J_i = K_i = Aq_i$

$J_1 = K_1 = q_0$

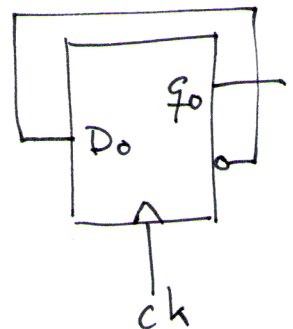
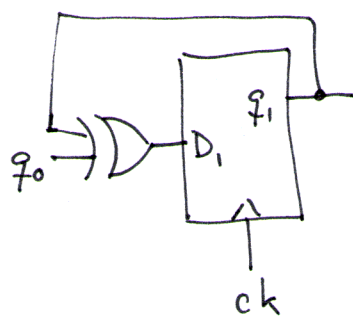
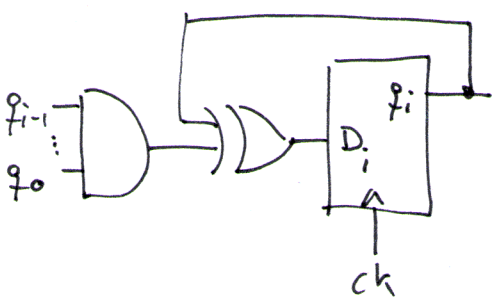
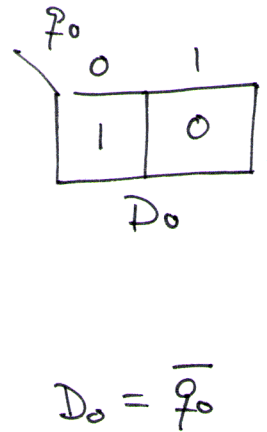
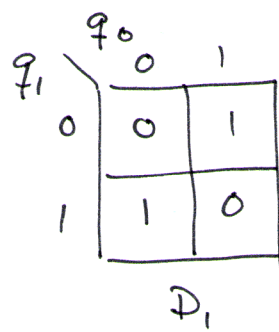
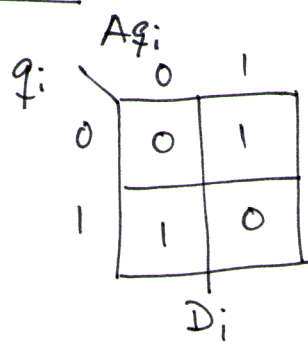
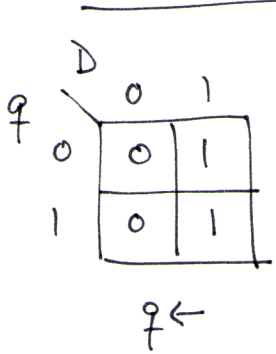
$J_0 = K_0 = 1$



Bistables T



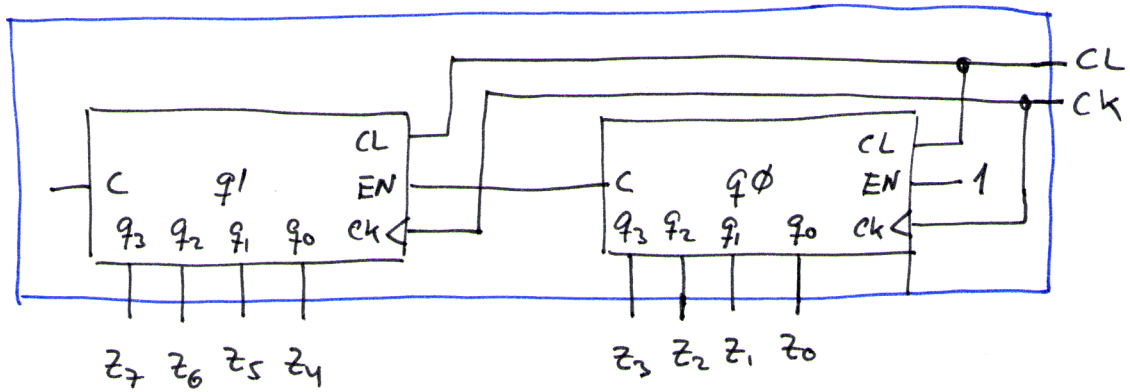
Bistables D



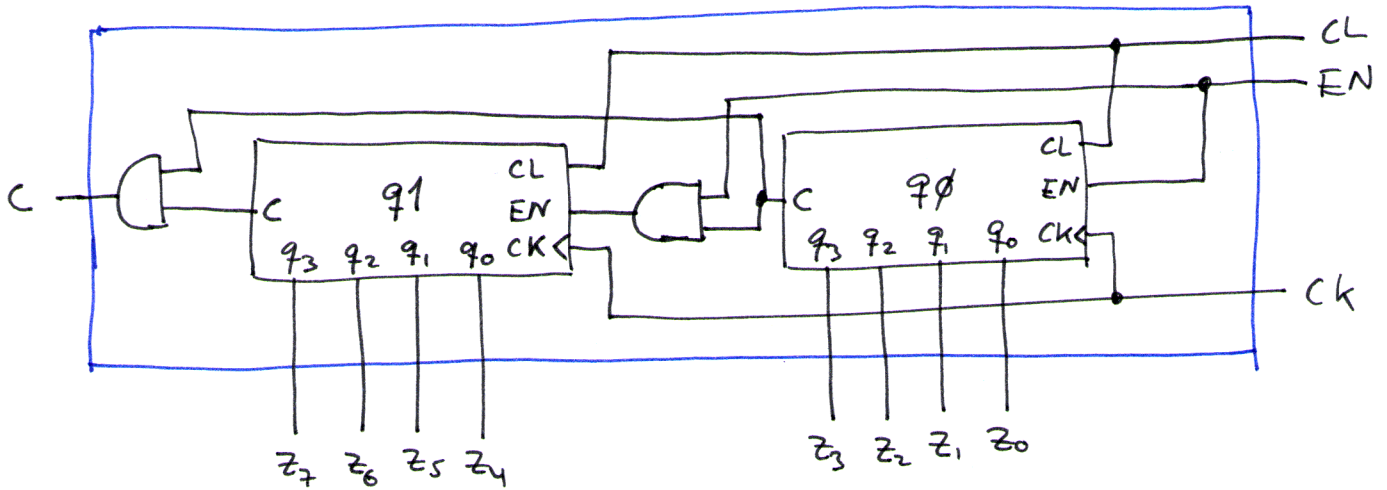
Ejercicio 4. Combinación de contadores

A partir de contadores mod. 16 con CL, EN y C.

4.1 contador mod. 256 (CL)

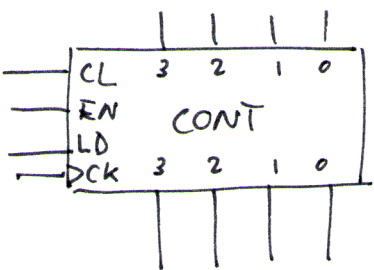


4.2 Contador mod. 256 con CL, EN y C.



Tema 9. Ejercicio 5. Contador 3 a 12

Contador base

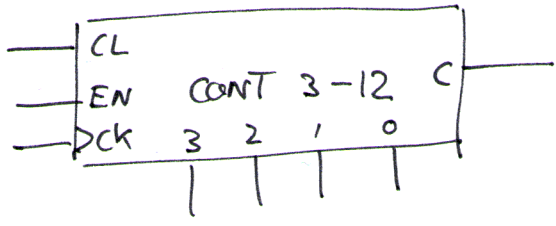


CL	LD	EN	operación
1	-	-	$q \leftarrow \phi$
0	1	-	$q \leftarrow x$
0	0	1	$q \leftarrow (q+1) \bmod 4$
0	0	0	$q \leftarrow q$

Estrategia:

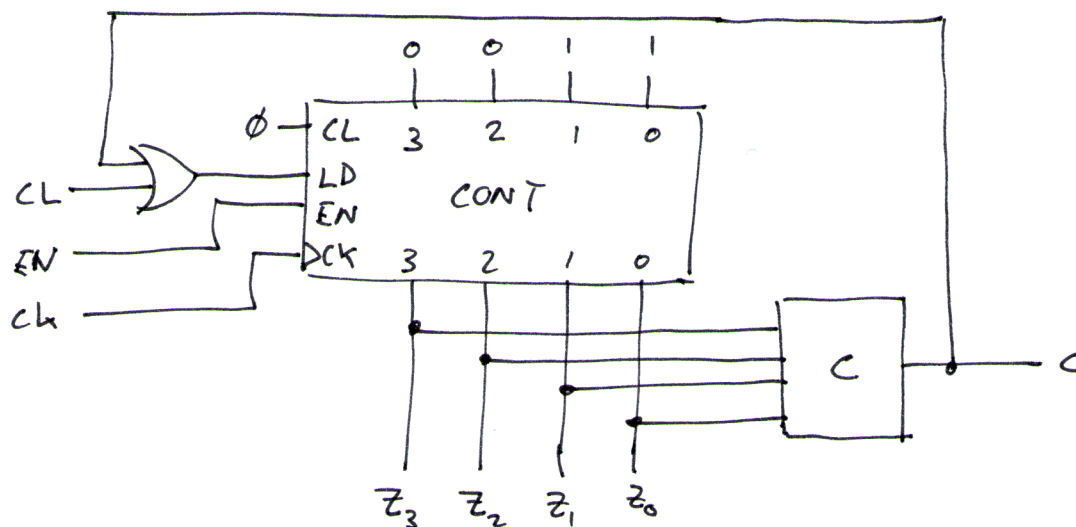
- * Detectamos el estado "12" y hacemos una carga de "3" en el próximo ciclo.
- * "CL" hace realmente la carga del valor inicial "3".
- * La carga del valor inicial se activa con CL y con la llegada al valor final (puerta OR).
- * La salida de acarreo (c) es la señal que detecte la llegada al valor final.

Contador objetivo



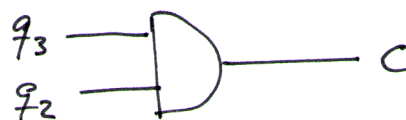
CL	EN	operación
1	-	$q \leftarrow 3$
0	1	$q < 12 : q \leftarrow q+1$ otro : $q \leftarrow 3$

Diseño inicial

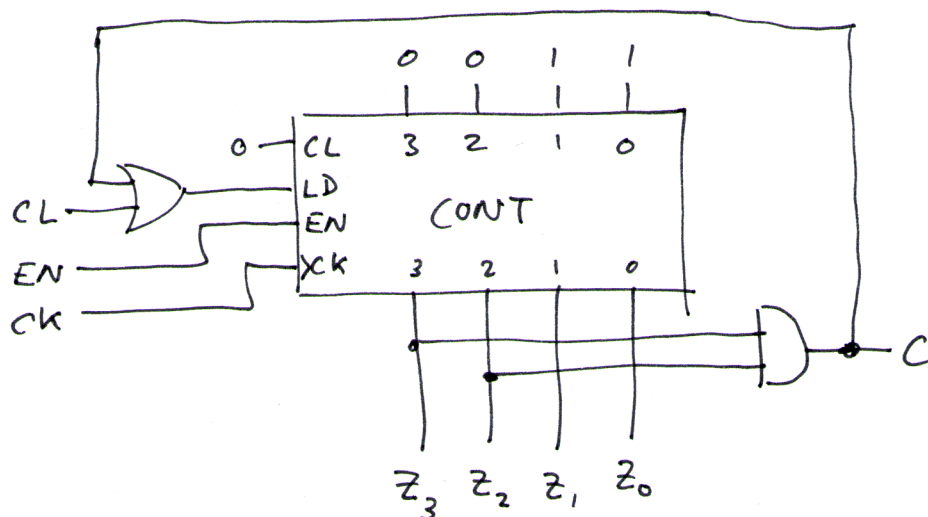


El módulo C detecta el valor final 12 y genera la salida de acarreo.

Para detectar 12 (1100) basta comprobar los bits a 1 ya que $9 \leq 12$:

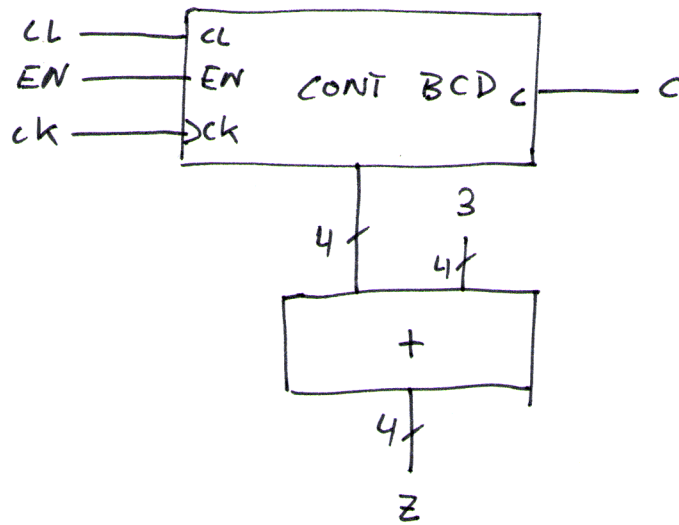


Diseño final



Diseño con contador BCD y sumador

Contar de 3 a 12 es como contar de 0 a 9 (BCD) y sumar 3. Usamos un contador BCD con CL, EN y salida de acarreo. y sumamos 3 a su salida:



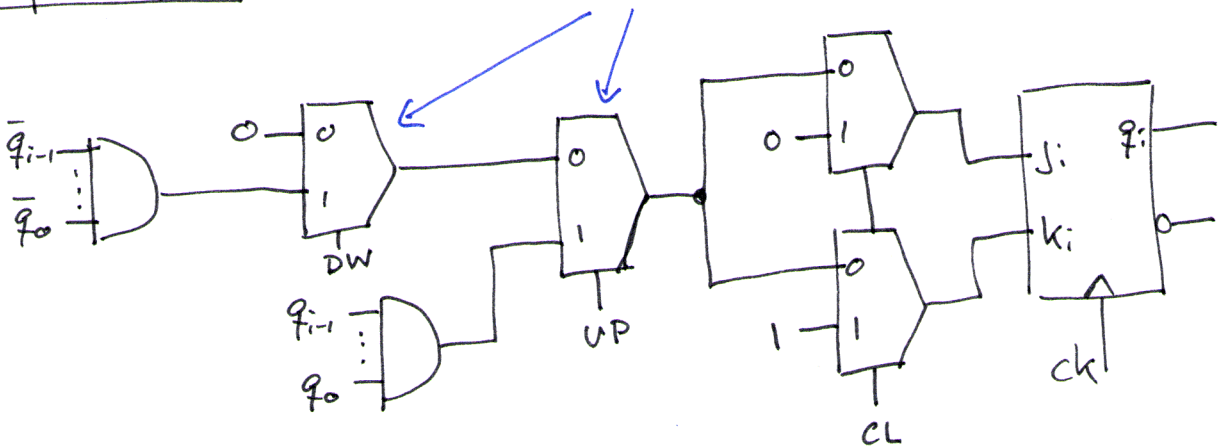
Tema 9. Ejercicio 6

Contador reversible síncrono

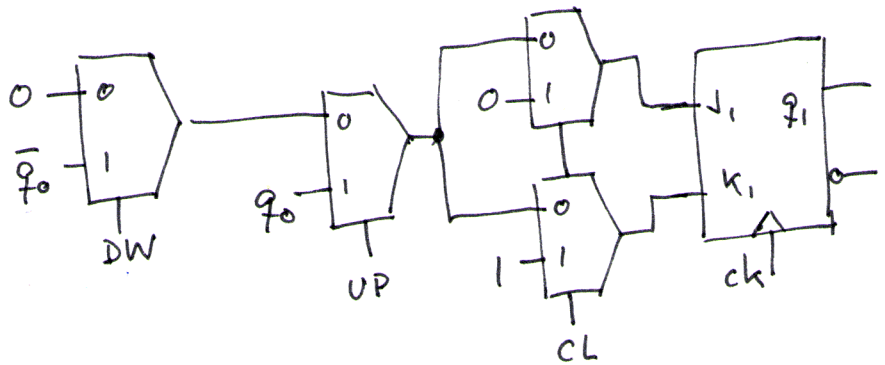
CL, UP, DW	Operación	Et. típica	Et. 1	Et. 0
1 - -	$q \leftarrow \phi$	$J_i = 0; K_i = 1$	$J_i = 0; K_i = 1$	$J_0 = 0; K_0 = 1$
0 1 -	$q \leftarrow (q+1) \bmod 2^n$	$J_i = K_i = \bar{q}_{i-1} \dots \bar{q}_0$	$J_i = K_i = \bar{q}_0$	$J_0 = K_0 = 1$
0 0 1	$q \leftarrow (q-1) \bmod 2^n$	$J_i = K_i = \bar{q}_{i-1} \dots \bar{q}_0$	$J_i = K_i = \bar{q}_0$	$J_0 = K_0 = 1$
0 0 0	$q \leftarrow q$	$J_i = K_i = 0$	$J_i = K_i = 0$	$J_0 = K_0 = 0$

Etapa típica

Aprovechamos que para UP y DW $J_i = K_i$



Etapa 1



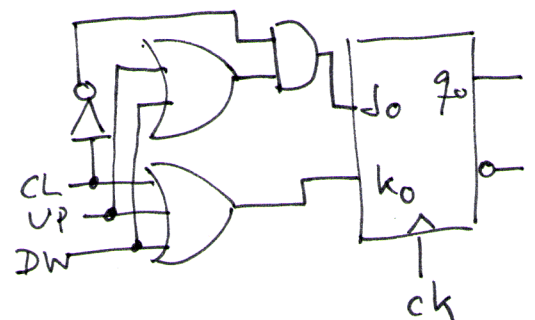
Etapa 0

	CL UP			
DW	00	01	11	10
0	0	1	0	0
1	1	1	0	0

$$J_0 = \bar{CL}(UP+DW)$$

	CL UP			
DW	00	01	11	10
0	0	1	1	1
1	1	1	1	1

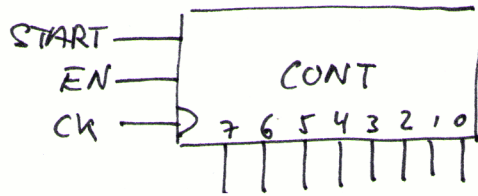
$$K_0 = CL+UP+DW$$



Tema 9. Ejercicio 7

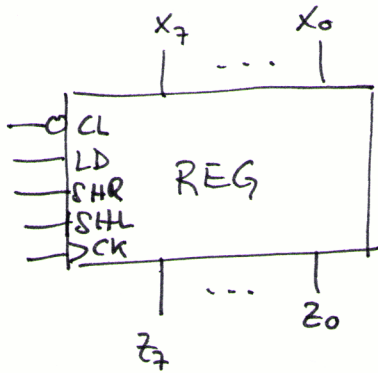
Contador en anillo de 8 bits a partir de registro universal.

Objetivo:



START, EN	Operación
1 -	$q \leftarrow 0x01$
0 1	$q \leftarrow SHL(q, 7)$
0 0	$q \leftarrow q$

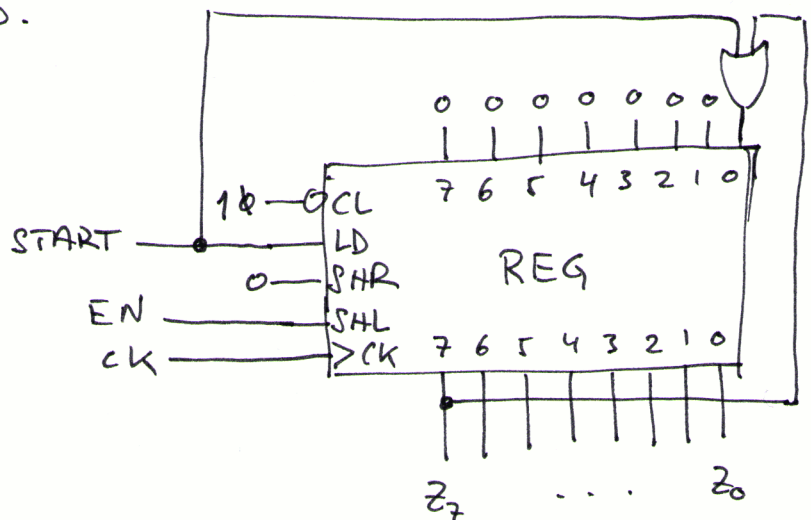
Usamos un registro universal de 8 bits:



CL, LD, SHR, SHL	Operación	Tipo
0 - - -	$q \leftarrow 0$	asinc.
1 1 0 0	$q \leftarrow X$	sync.
1 0 1 0	$q \leftarrow SHR(q, X_R)$	"
1 0 0 1	$q \leftarrow SHL(q, X_L)$	"
1 0 0 0	$q \leftarrow q$	"

Estrategia:

- * Usamos LD y X para cargar el valor inicial. ($X_0 = LD$, $X_{7..1} = 0$)
- * Usamos SHL como habilitación ($SHL = EN$)
- * Desactivamos las señales no utilizadas ($CL=1$, $SHR=0$).
- * Hacemos $X_0 = z_7$ para hacer la operación en anillo, cuando no hacemos LD.



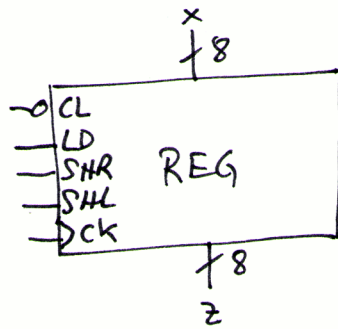
Tema 9. Ejercicio 8

Generador de secuencia "101001" empleando registro universal de 8 bit.

objetivo:



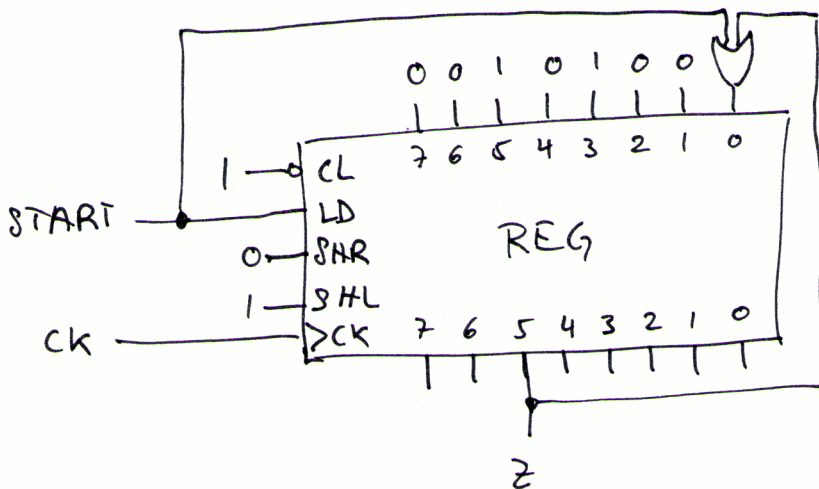
Usamos:



CL, LD, SHR, SHL	Operación	TIPO
0 - - -	$z \leftarrow 0$	asinc.
1 1 - -	$z \leftarrow x$	sinc.
1 0 1 -	$z \leftarrow SHR(z, x_7)$	"
1 0 0 1	$z \leftarrow SHL(z, x_0)$	"
1 0 0 0	$z \leftarrow z$	"

Estrategia:

- * START activa la carga de la secuencia (LD)
 - * El registro es de 8 bits pero la secuencia es de 6: hacemos un registro de desplazamiento cíclico de 6 bits uniendo z_5 a x_0 y activando SHL.
 - * Control x_0 :
 - si START = 1, cargamos "00101001" $\Rightarrow x_0 = 1$,
 - si START = 0 hacemos desplazamiento $\Rightarrow x_0 = z_5$
- $\Rightarrow x_0 = START + z_5$
- * Desactivamos las señales no utilizadas (CL=1, SHR=0).
 - * La salida es $z = z_5$

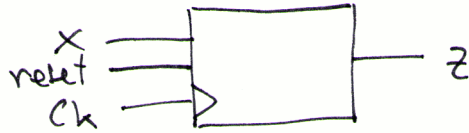


¿Cómo se haría empleando SHR en vez de SHL?

Tema 9. Ejercicio 9

Detector de secuencia "101001" con registro de desplazamiento (CL, SHL, XL, Z).

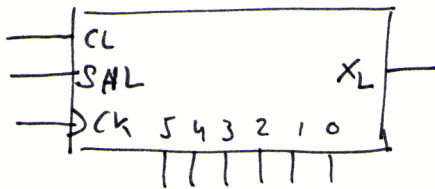
Objetivo:



* $z=1$ durante un ciclo tras detectar la secuencia

* Las secuencias pueden solaparse.

Usamos:



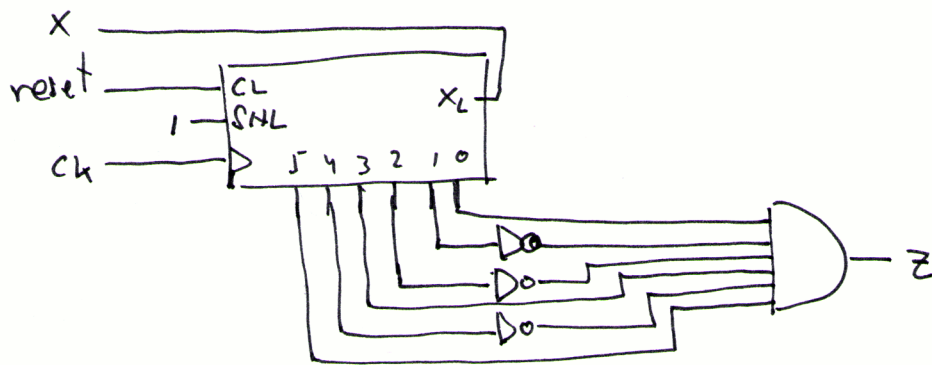
CL, SHL	Operación
1 -	$z \leftarrow 0$
0 1	$z \leftarrow SHL(z, X_L)$
0 0	$z \leftarrow z$

a)

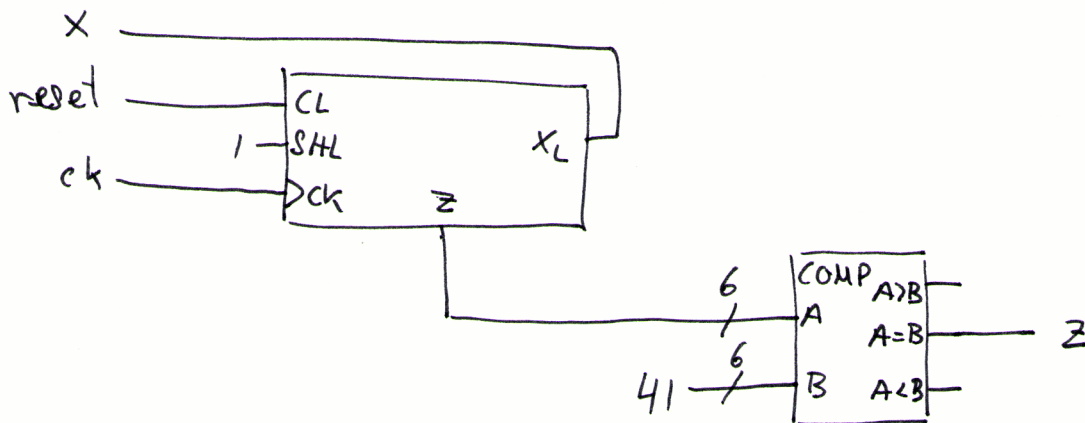
Estrategia:

- * Usamos la operación de puesta a cero (CL) para hacer el reset : $CL = \text{reset}$
- * Usamos el registro para almacenar los 6 últimos bits que han llegado a la entrada: $SHL=1, X_L=X$
- * Usamos un circuito combinatorial a la salida del registro para detectar cuándo su contenido es la secuencia esperada:

$$z = z_5 \bar{z}_4 z_3 \bar{z}_2 \bar{z}_1 z_0$$



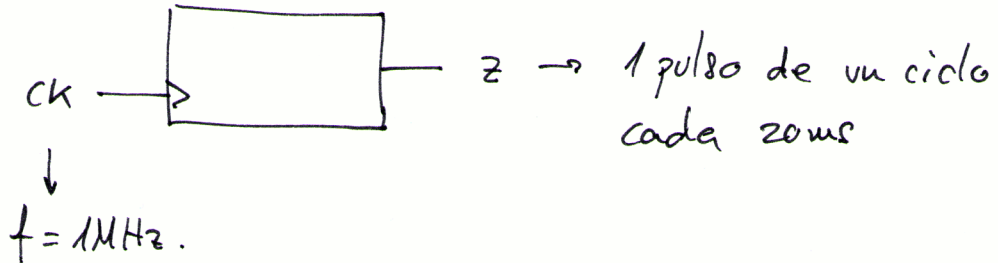
- b) * Igual, pero usamos un comparador para detectar la secuencia esperada. Usamos un comparador de 6 bits. El valor numérico de la secuencia es $101001_2 = 41_{10}$



Tema 9. Ejercicio 10

Generador de pulsos cada 20ms con reloj a 1MHz.

Objetivo:



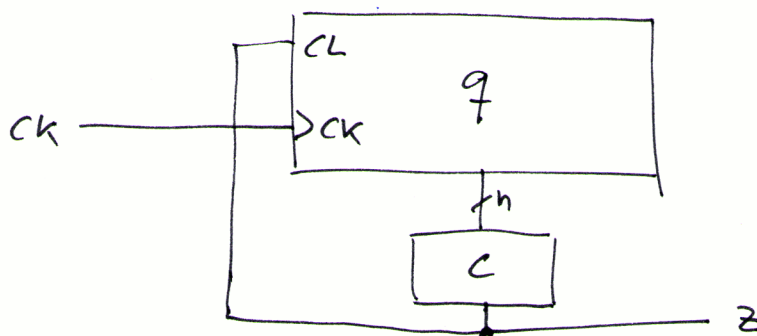
Calculamos cada cuántos ciclos de reloj hay que activar la salida.

$$T = \frac{1}{f} = \frac{1}{1\text{MHz}} = 1\mu\text{s} \rightarrow \text{periodo de la señal de reloj}$$

$$n^{\circ} \text{ ciclos} = \frac{20\text{ms}}{1\mu\text{s}} = \frac{20.000\mu\text{s}}{1\mu\text{s}} = 20.000$$

Estrategia:

- * Usaremos un contador módulo 2^n con la cuenta limitada a 20000 ciclos: 0 - 19999.
- * Detectaremos el valor máximo (19999) generando una señal de fin de cuenta que usaremos como salida y para reiniciar el contador:



- * Tenemos que calcular el número de bits (n) y el circuito de detección c .

Cálculo de n

Tomamos el valor mínimo que cumple $20000 \leq 2^n$, $n \in \mathbb{N}$

$\log_2 20000 \leq n \Rightarrow n \geq 14,29 \Rightarrow n = 15$

Detector de fin de cuenta

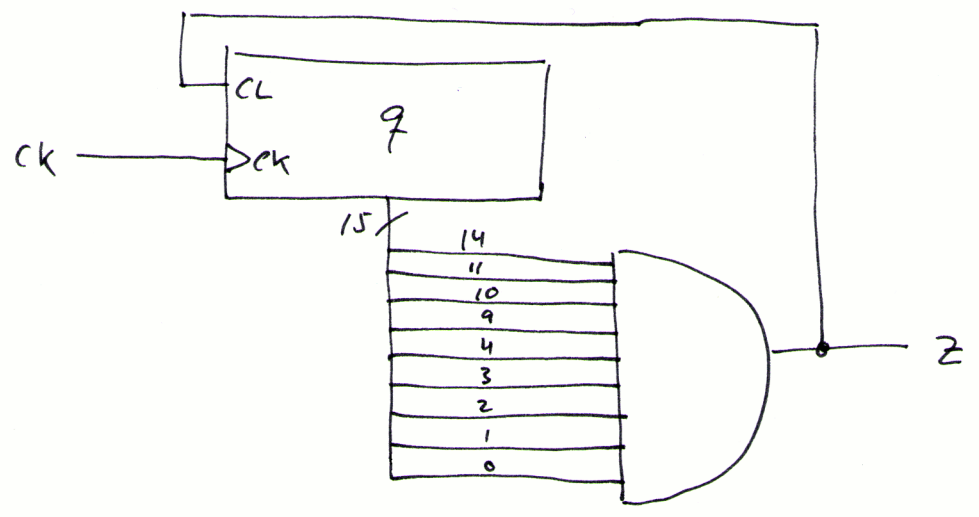
El último valor de la cuenta es :

$19999_{(10)} = 100\ 1110\ 0001\ 1111_{(2)}$

Como el contador es ascendente y $q < 20000$, basta con detectar los bit a 1 del fin de cuenta:

$Z = q_{14} q_{11} q_{10} q_9 q_4 q_3 q_2 q_1 q_0$

Circuito final :



a) ¿Qué periodo de pulsos se obtendría con $z = CL = q_{14}$?

b) ¿Y con $z = CL = q_{14} q_{11} q_{10} q_9$?