

Tarea 5

Ejercicio 1. Un sistema de alarma digital tiene tres entradas (a, b, c) y usa salida “z”. El sistema puede estar activado ($a=1$) o desactivado ($a=0$) y dispone de un sensor de presencia ($b=1$ si presencia) y otro de apertura de puerta ($c=1$ si abierta). Cuando el sistema está desactivado, se activará una señal de alarma ($z=1$) si se detecta presencia y la puerta está abierta (se ha olvidado cerrar la puerta). Cuando el sistema está activado, se activará la señal de alarma si se detecta presencia o se abre la puerta. Describa el circuito en lenguaje Verilog y diseñe un banco de pruebas para verificar el diseño.

Sugerencia: Emplee el código de la lección 3.1 (alarma) del curso de Verilog como punto de partida y referencia.

Ejercicio 2. Diseñe un circuito combinacional que tome un valor 'x' de 5 bits como entrada, y active una salida 'z' cuando el número es un múltiplo de 7. Realice un banco de pruebas para comprobar la operación del circuito.

Sugerencia: Emplee el código de la lección 3.2 (primos) del curso de Verilog como punto de partida y referencia.

Ejercicio 3. Describa en Verilog un circuito combinacional con una entrada de 4 bits $x[3:0]$ que representa el valor de una cifra BCD, y una salida de dos bits $c[1:0]$ que es el cociente de la división $x/3$. Realice dos alternativas de diseño:

- a) Empleando únicamente estructuras de decisión y operadores lógicos.
- b) Empleando operadores aritméticos.

Ejercicio 4. Describa en Verilog un circuito que resuelva el ejercicio 5 (depósito) de la tarea del tema 4. En una primera versión no tenga en cuenta las posibles inespecificaciones. Más tarde, averigüe cómo considerar las inespecificaciones en la descripción Verilog. Ignore la restricción de diseño con puertas NOR del problema original.

Ejercicio 5. Estudie y ejecute las simulaciones de la lección 3.3 del curso de Verilog (azar). Realice los ejercicios propuestos en la lección.