

# CIRCUITOS ELECTRÓNICOS DIGITALES

## GRADO EN INGENIERÍA INFORMÁTICA – TECNOLOGÍAS INFORMÁTICAS

---

### BOLETÍN DE PROBLEMAS 5

---

**P1.-** Realice la función  $f = \Sigma(0,3,6)$  con los siguientes componentes:

- Utilizando un decodificador con salidas activas en nivel alto y puertas OR.
- Utilizando un decodificador con salidas activas en nivel bajo y puertas AND.
- Utilizando un decodificador con salidas activas en bajo y puertas NAND.
- Con un decodificador con salidas activas en alto y puertas NOR.

**P2.-** Realice las siguientes funciones haciendo uso de los dispositivos que se dan en cada uno de los apartados:

- Utilizando un decodificador con salidas activas en nivel alto y puertas OR.
- Utilizando un decodificador con salidas activas en nivel bajo y puertas AND.
- Utilizando un decodificador con salidas activas en bajo y puertas NAND.
- Utilizando un decodificador con salidas activas en alto y puertas NOR.

$$F = \Sigma(0,9,11,15) + d(1,2,3)$$

$$F = \Pi(0,3,5) \cdot d(1,2)$$

$$F = \Pi(1,3,4,6,9,11) \cdot d(7,12,14)$$

$$F = \Pi(1,2,3,7,8,9)$$

**P3.-** Diseñe un circuito que permita multiplicar dos números binarios de dos bits. Para ello, utilice puertas lógicas de dos entradas y un decodificador:

- con salidas activas en alto
- con salidas activas en bajo

**P4.-** Diseñe un circuito de 4 entradas y 3 salidas,  $z_0, z_1, z_2$  que realice las siguientes funciones:

- $z_0$  vale 1 cuando tres o más entradas sean 1.  
 $z_1$  vale 1 cuando haya el mismo número de unos que de ceros.  
 $z_2$  vale 0 cuando dos o más entradas sean 1.

Para ello se dispone de:

- Un decodificador con salidas activas en nivel alto y puertas NOR.
- Un decodificador con salidas activas en bajo y puertas NAND.

**P5.-** Se dispone de decodificadores 2 a 4 con salidas activas en alto y con señal de habilitación activa también en nivel alto. Diseñe, con las mismas características:

- Un decodificador 1:2
- Un decodificador 3:8
- Un decodificador de 4:16

**P6.-** Utilizando decodificadores de menos entradas que el dado, se pide:

- ¿Cómo implementar un decodificador de 2 a 4?
- ¿Cómo implementar un decodificador de 3 a 8?
- ¿Cómo implementar un decodificador de 4 a 16?

Indique en cada apartado qué alternativa conduce al menor número de decodificadores.

**P7.-** Implemente un circuito que realice la conversión BCD a Gray utilizando decodificadores y puertas.

**P8.-** Realice las funciones de conmutación siguientes utilizando multiplexores de 4 canales.

- a)  $F = \Sigma (0,1,3,4)$
- b)  $F = \Sigma (2,4,5,7)$
- c)  $F = \Sigma (0,3,4)$
- d)  $F = \Sigma (1,2,3,6,7)$

**P9.-** Realice las funciones del ejercicio anterior con:

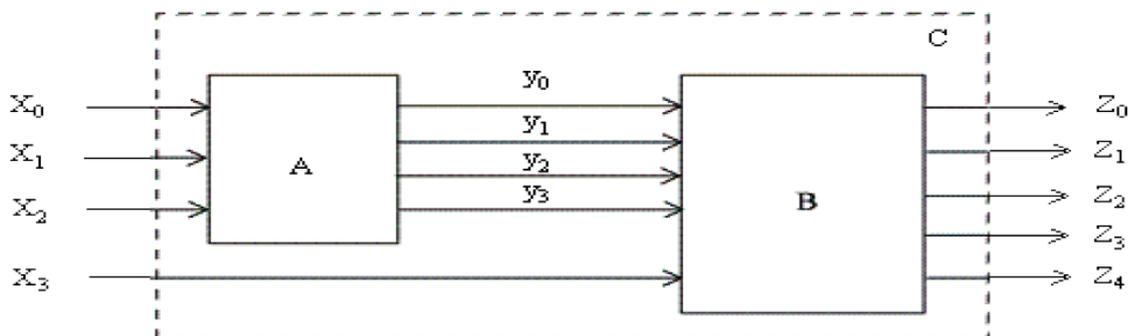
- a) MUX-1
- b) MUX-2
- c) MUX-3

**P10.-** Realice con multiplexores de dos entradas de selección la función:

$$F = \Sigma (0,1,3,4,5,6,8,9,10,11,12,15,17,20,22,23,25,28,29,30,31)$$

**P11.-** Un sistema de comunicación se ha diseñado para que transmita uno de los dos códigos binarios de cuatro bits siguientes: CA = 0010 y CB = 1101. Durante la transmisión pueden recibirse perturbaciones que provoquen errores en la comunicación de dichos códigos. Diseñe un circuito con cuatro entradas (el dato de 4 bits) y 3 salidas A, B, C. La salida A se hace igual a 1 si el código recibido es el 0010 o ese mismo código con un error en un bit. La salida B se hará 1 si el código recibido es el 1101 o ese mismo con un error en un bit. La salida C se hace 1 si el código recibido difiere en dos bits de los códigos 0010 y 1101. Diseñe la función A con MUX 2:1, la función B con un decodificador y puertas NAND, y la C con puertas NOR.

**P12.-** El bloque A de la figura pone su salida  $y_k=1$  si y sólo si hay k entradas a 1. Diseñe la unidad B para que el bloque completo C ponga  $z_i=1$  si y solo si hay j entradas a 1. Utilice sólo MUX 2:1



**P13.-** Utilizando multiplexores de menos entradas de selección que el dado, se pide:

- a) ¿Cómo implementaría un MUX de 3 entradas de selección?
- b) ¿Cómo implementaría un MUX de 4 entradas de selección?

**P14.-** Implemente la siguiente función multisalida usando un decodificador y puertas:

$$F = \Sigma (0,1,3,7,9,12,15)$$

$$G = \prod (0,1,2,5,6,10,11)$$

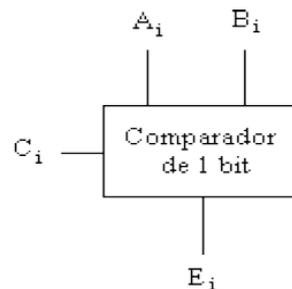
$$H = (X_3 + X_2) \cdot (X_2 + X_1 + X_0)$$

**P15.-** Un desplazador a la derecha de n bits, es un circuito combinacional que tiene como entrada un número A de n bits, m se-ales de control  $s_{m-1} \dots s_0$  que indican el número de posiciones que se desplazará a la derecha el número de entrada A, y genera la salida Z de n bits, correspondientes al número A desplazado. Así por ejemplo, para un desplazador de 8 bits, cuya entrada sea 10010101 y las se-ales de control  $s_2 s_1 s_0 = 010$ , se genera un desplazamiento de 2 posiciones a la derecha, dando como resultado la salida XX100101. Si  $s_2 s_1 s_0 = 000$  no hay desplazamiento.

- Diseñe un desplazador a la derecha de  $n=4$  bits y  $m=2$  bits, utilizando 4 MUX's de 4 canales. Suponga que los bits más significativos del resultado se llenan con 0's. Para el ejemplo anterior, la salida sería 00100101.
- Dibuje las formas de onda de las salidas, cuando  $A_3 A_2 A_1 A_0 = 1011$  y las señales  $s_1 s_0$  cambian según la secuencia "00,01,00,11,00,10" con una frecuencia de 1kHz.
- Indique una aplicación aritmética para el desplazador.

**P16.-** La figura muestra un comparador de dos números de 1 bit y su tabla de verdad. Se desea obtener un comparador de números de 6 bits utilizando exclusivamente comparadores de 1 bit. El diseño debe contemplar que el tiempo de retraso no supere  $4T$ , donde T es el retraso asociado al comparador de 1 bit.

$C_i$	$A_i$	$B_i$	$E_i$
0	X	X	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

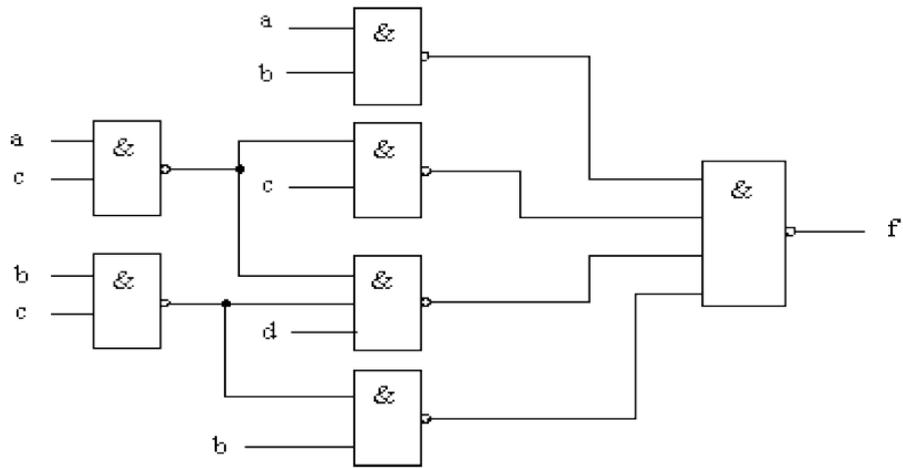


**P17.-** En un determinado sistema microcomputador, existen 3 subsistemas que procesan la información de forma independiente a través de cuatro fases de operación. Por propósitos de control, es necesario conocer:

- Cuándo dos o más subsistemas están en la misma fase.
- Cuándo exactamente dos subsistemas están en la misma fase.

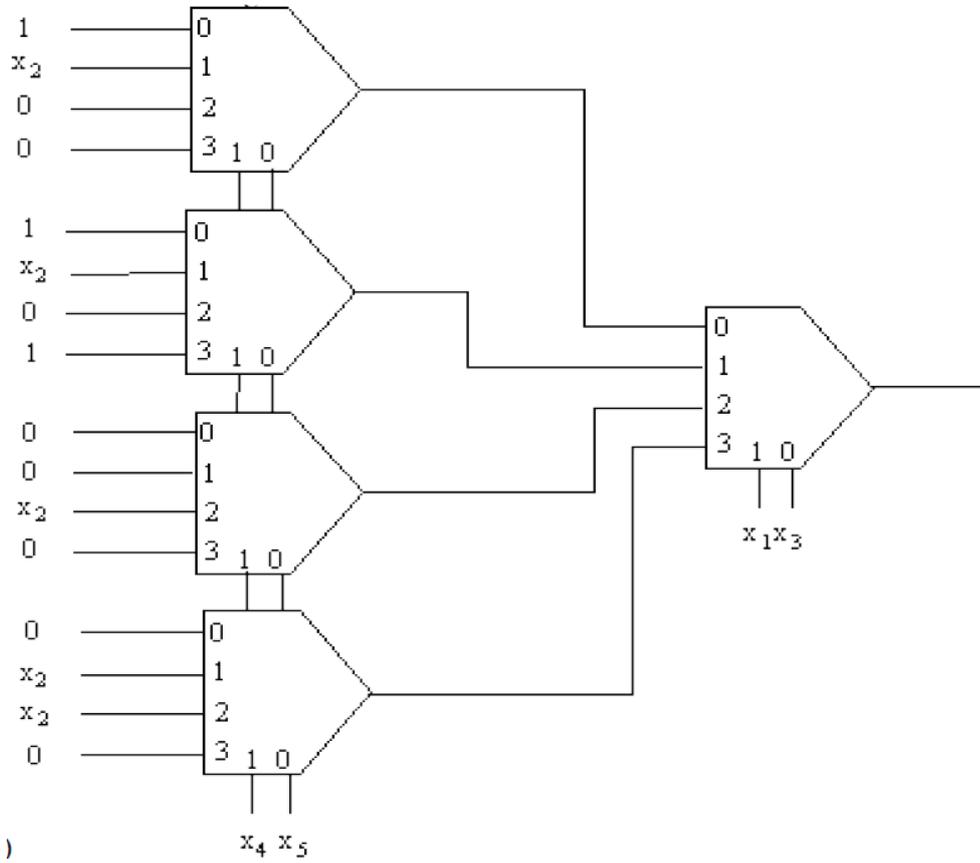
Cada subsistema genera una señal de dos bits para indicar en qué fase se encuentra (00,01,10,11). Diseñe un circuito que permita conocer cuándo el conjunto de subsistemas se encuentra en alguna de las dos situaciones posibles.

**P18.-** Diseñe un circuito con MUX de 4 canales que realice la función del circuito de la figura:



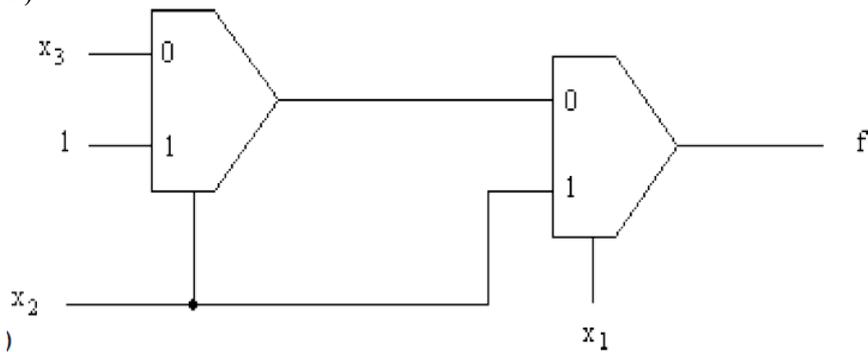
**P19.-** Analice los siguientes circuitos:

a)



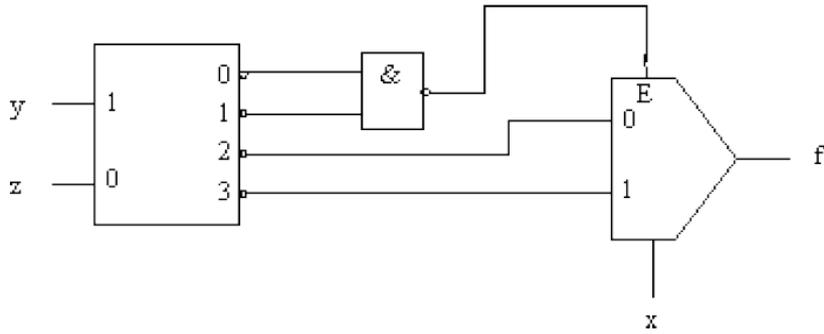
)

b)



)

c)



**P20.-** Sea el bloque lógico A que compara la magnitud de dos números de tres bits,  $X_3 = x_1x_2x_3$  e  $Y_3 = y_1y_2y_3$ , donde  $x_3$  e  $y_3$  son los bits menos significativos. El bloque A tiene dos salidas  $G_3$  y  $S_3$  tales que  $G_3 = 1$  si y solo si  $X_3 > Y_3$ ;  $S_3 = 1$  si y solo si  $X_3 < Y_3$  y  $G_3 = S_3 = 0$  si y solo si  $X_3 = Y_3$ .

a) Diseñe una unidad lógica "B" tal que junto con el bloque A sirva para comparar dos números de cuatro bits ( $X_4 = x_1x_2x_3x_4$  e  $Y_4 = y_1y_2y_3y_4$ ) tal como se muestra en la figura. Obtenga expresiones para  $G_4$  y  $S_4$  en función de las entradas al bloque B y muestre una realización de estas expresiones usando sólo puertas NAND.

b) Muestre una realización del bloque A utilizando solo bloques de tipo B.

